



61282-070
Mori et al.
April 23, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 4 月 2 4 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 1 1 9 9 2 5
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 1 1 9 9 2 5]

出 願 人 松下電器産業株式会社
Applicant(s):

2 0 0 3 年 1 0 月 1 5 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康



出証番号 出証特 2 0 0 3 - 3 0 8 4 7 4 5

【書類名】 特許願

【整理番号】 5037940217

【提出日】 平成15年 4月24日

【あて先】 特許庁長官殿

【国際特許分類】 H03M 1/10
H03M 1/06

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 森 宏一

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 多田 有作

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100105647

【弁理士】

【氏名又は名称】 小栗 昌平

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100105474

【弁理士】

【氏名又は名称】 本多 弘徳

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100108589

【弁理士】

【氏名又は名称】 市川 利光

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100115107

【弁理士】

【氏名又は名称】 高松 猛

【電話番号】 03-5561-3990

【選任した代理人】

【識別番号】 100090343

【弁理士】

【氏名又は名称】 栗宇 百合子

【電話番号】 03-5561-3990

【手数料の表示】

【予納台帳番号】 092740

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0002926

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 比較回路及びオフセット補償装置

【特許請求の範囲】

【請求項 1】 第 1 のトランジスタと第 2 のトランジスタで形成する差動対とその負荷回路を有する差動回路により前記差動対に入力される 2 信号を比較する比較回路において、

前記差動回路を演算増幅回路として動作させる位相調整手段と、

前記差動回路の出力信号の位相を反転させる位相反転手段と、

前記位相調整手段により前記差動回路を演算増幅回路として動作させ且つ、前記差動対の第 1 のトランジスタと第 2 のトランジスタの各々に同一又は異なる電圧を与えた場合に、前記位相反転手段の出力信号を前記第 1 のトランジスタの基板バイアス電圧として帰還させるフィードバック手段と、

前記フィードバックされた前記第 1 のトランジスタの基板バイアス電圧を一定時間保持する保持手段と、
を備える比較回路。

【請求項 2】 反転信号と非反転信号を出力する対出力ポートを有する電子装置の前記反転信号と非反転信号のオフセットを補償するオフセット補償装置において、

所定の信号を前記電子装置に入力する入力手段と、

前記電子装置から前記所定の信号に対応して出力される反転信号とこの反転信号に関連のない基準信号との差分を求めて保持すると共にこの差分値を前記基準信号に反映させる調整手段と、

前記電子装置から前記所定の信号に対応して出力される非反転信号と、前記保持された差分を前記基準信号に反映した信号との差分を示すエラー信号を導き出す比較手段と、

前記エラー信号に応じた値を前記所定の信号に加算して前記入力手段により前記電子装置に入力する演算手段と、

前記エラー信号の収束値を記憶する記憶手段と、

前記記憶された収束値を前記電子装置のオフセットを補償値とする補償手段と

を備えるオフセット補償装置。

【請求項 3】 前記演算手段はカウンタである請求項 2 に記載のオフセット補償装置。

【請求項 4】 前記演算手段は加減算回路である請求項 2 に記載のオフセット補償装置。

【請求項 5】 前記記憶手段は前記エラー信号の収束値の半分の値を記憶する請求項 2 から 4 のいずれか一項に記載のオフセット補償装置。

【請求項 6】 前記保持手段及び前記比較手段は、請求項 1 に記載の比較回路である請求項 2 から 5 のいずれか一項に記載のオフセット補償装置。

【請求項 7】 反転信号と非反転信号を出力する対出力ポートを有する電子装置の前記反転信号と非反転信号のオフセットを補償するオフセット補償装置において、

所定の信号を前記電子装置に入力する入力手段と、

前記電子装置から前記所定の信号に対応して出力される反転信号とこの反転信号と関連のない基準信号との差分を示す第 1 のエラー信号を導き出す第 1 の比較手段と、

前記第 1 のエラー信号に応じた値を前記所定の信号に加算して前記入力手段により前記電子装置に入力する第 1 の演算手段と、

前記第 1 のエラー信号の収束値を記憶する第 1 の記憶手段と、

前記電子装置から前記所定の信号に対応して出力される非反転信号とこの非反転信号に関連のない前記基準信号との差分を示す第 2 のエラー信号を導き出す第 2 の比較手段と、

前記第 2 のエラー信号に応じた値を前記所定の信号に加算して前記入力手段により前記電子装置に入力する第 2 の演算手段と、

前記第 2 のエラー信号の収束値を記憶する第 2 の記憶手段と、

前記第 1、第 2 の記憶手段に記憶されたそれぞれの収束値を用いて前記電子装置のオフセット補償値を算出するオフセット補償手段と、
を備えるオフセット補償装置。

【請求項 8】 前記オフセット補償値は、前記第 1 の記憶手段に記憶された値と、前記第 2 の記憶手段に記憶された値とを加算して算出される請求項 7 に記載のオフセット補償装置。

【請求項 9】 前記第 1、第 2 のエラー信号の収束値は、それぞれ半分にして前記第 1、第 2 の記憶手段に記憶される請求項 7 に記載のオフセット補償装置。

【請求項 10】 前記第 1、第 2 の演算手段はカウンタである請求項 7 に記載のオフセット補償装置。

【請求項 11】 前記第 1、第 2 の演算手段は加減算回路である請求項 7 に記載のオフセット補償装置。

【請求項 12】 前記電子装置は D/A 変換回路である請求項 2 から 11 のいずれか一項に記載のオフセット補償装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えばデジタル無線電話などに用いられる D/A 変換器の DC オフセット電圧の補償を行うオフセット補償装置及びこのオフセット補償装置に用いられ、D/A 変換器のオフセットを測定する比較回路に関する。

【0002】

【従来の技術】

デジタル無線電話においては、送信されるべき信号の変調が変調器のデジタル部分で行われ、その後、変調されたデジタル信号が D/A 変換器によってアナログ信号に変換される。アナログ信号は、無線電話の無線周波数部に結合されて無線信号として発信される。この D/A 変換器については次のような問題がある。

【0003】

すなわち、D/A 変換器の出力に低レベルのゆっくりと変化する DC オフセットが生じることである。通常、これは回路部品の特性が理想通りに得られないためであって、変換されるべきデジタル信号には関係ない。しかし、この DC オフセットが生じると、移動電話の発信信号における搬送波の漏洩という好ましくない

い結果をD/A変換器に生じ、これが信号の送信を妨害する。従ってD/A変換器のDCオフセットを補償することが望ましい。

【0004】

D/A変換器のDCオフセットをキャンセルするためには、まず、オフセット量を測定する必要がある、このためにコンパレータ（電圧比較回路）が用いられる。このコンパレータによる比較結果に基づいて、オフセットを補償するための制御信号を得て、D/A変換器のDCオフセットをキャンセルする構成が公知である（特許文献1参照）。

【0005】

上述したように、D/A変換器のDCオフセットをキャンセルするためには、オフセット量をコンパレータで測定する必要がある。正しくオフセット量を測定するためには、当然のことながら、コンパレータ自体のオフセットが、所定の範囲内に収まっている必要がある。コンパレータ（電圧比較回路）は差動増幅器を主体として構成され、差動増幅回路（差動回路）は左右の電流能力がバランスするように設計される。しかし、実際に差動増幅回路を構成するトランジスタのサイズのばらつき等に起因して、オフセット（差動対をなす各トランジスタの特性のばらつき）が生じるのが通常である。

【0006】

【特許文献1】

特開平7-202693号公報（第4頁、第1図）

【0007】

【発明が解決しようとする課題】

上記のような差動対をなす各トランジスタの特性のばらつきで生じるコンパレータのオフセット量はかなりばらつき、そのオフセット量は、時には、許容範囲を大きく逸脱する場合もある。このような許容範囲を超えるオフセットを持つコンパレータを用いて、D/A変換器のDCオフセットを調整した場合、つまり、精度の低いコンパレータを用いて負帰還制御によるD/A変換器のオフセット調整を実行した場合、本来なら、オフセットが数mVに収まるはずのものが、依然として20mV以上のオフセットが残っている場合もあることが確認された。

【0008】

このような問題をなくすには、D/A変換器のDCオフセットのキャンセルに使用されるコンパレータのオフセット（左右の電流能力のオフセット）をキャンセルする必要がある。しかし、現実には、コンパレータのオフセット調整のためだけに専用回路を設けることは、半導体装置（IC）の占有面積の増大防止の観点、あるいは低消費電力の要請などからみて困難である。上記に述べたようなDCオフセットの補償方法は、オフセット量を測定するコンパレータの精度が非常に重要となるため、別の手段が必要である。

【0009】

本発明は上記事情に鑑みてなされたもので、測定するオフセット量の精度を安価に向上させることができる比較回路及びこの比較回路を用いてD/A変換器のオフセットを安価に高精度でキャンセルすることができるオフセット補償装置を提供することを目的とする。

【0010】

【課題を解決するための手段】

請求項1記載の比較回路は、第1のトランジスタと第2のトランジスタで形成する差動対とその負荷回路を有する差動回路により前記差動対に入力される2信号を比較する比較回路において、前記差動回路を演算増幅回路として動作させる位相調整手段と、前記差動回路の出力信号の位相を反転させる位相反転手段と、前記位相調整手段により前記差動回路を演算増幅回路として動作させ且つ、当該差動対の第1のトランジスタと第2のトランジスタの各々に同一又は異なる電圧を与えた場合に、前記位相反転手段の出力信号を前記第1のトランジスタの基板バイアス電圧として帰還させるフィードバック手段と、前記フィードバックされた前記第1のトランジスタの基板バイアス電圧を一定時間保持する保持手段とを備える。

【0011】

上記構成によれば、位相調整を行って差動回路を演算増幅回路として動作させた後、差動対回路の第1のトランジスタと第2のトランジスタの各々に同一又は異なる電圧を与えた場合に、負荷回路を通して出力される出力電圧を位相反転し

て第 1 のトランジスタの基板に印加する。これにより、第 1 のトランジスタの基板と第 2 のトランジスタ基板の電位が等しくなるため、両トランジスタの特性を同一にしてそれを一定時間保持することにより、比較回路のオフセット量を低減して比較精度を向上させる回路を簡単な構成で構築することができる。

【 0 0 1 2 】

請求項 2 記載のオフセット補償装置は、反転信号と非反転信号を出力する対出力ポートを有する電子装置の前記反転信号と非反転信号のオフセットを補償するオフセット補償装置において、所定の信号を前記電子装置に入力する入力手段と、前記電子装置から前記所定の信号に対応して出力される反転信号とこの反転信号に関連のない基準信号との差分を求めて保持すると共にこの差分値を前記基準信号に反映させる調整手段と、前記電子装置から前記所定の信号に対応して出力される非反転信号と、前記保持された差分を前記基準信号に反映した信号との差分を示すエラー信号を導き出す比較手段と、前記エラー信号に応じた値を前記所定の信号に加算して前記入力手段により前記電子装置に入力する演算手段と、前記エラー信号の収束値を記憶する記憶手段と、前記記憶された収束値を前記電子装置のオフセットを補償値とする補償手段とを備える。

【 0 0 1 3 】

上記構成によれば、所定の信号を前記電子装置に入力した時に出力される反転信号と基準信号の差分を求めて保持すると共に、この差分値を前記基準信号に反映させる。次に前記所定の信号に対応した前記電子装置から出力される非反転信号と前記差分が前記基準信号に反映された信号との差分を示すエラー信号を導き出し、このエラー信号に応じた値を前記所定の信号に加算して前記入力手段により前記電子装置に入力する動作を繰り返し、その結果、前記エラー信号が収束した時の値を電子装置のオフセットを補償値とする。この際、前記基準信号に反映された信号との差分を示すエラー信号を導き出す比較手段として精度の高いものを使用すれば、電子装置のオフセットを補償値の精度を高めることができ、電子装置のオフセットを高精度でキャンセルすることができる。

【 0 0 1 4 】

請求項 3 記載のオフセット補償装置は、請求項 2 記載のオフセット補償装置に

において、前記演算手段はカウンタであることを特徴とする。

【0015】

上記構成によれば、比較手段からエラー信号が出力されている時にカウンタを動作させ、比較手段からのエラー信号がなくなった時にカウンタの動作をリセットすれば、リセット直前のカウンタ値がエラー信号の収束値となる。

【0016】

請求項4記載のオフセット補償装置は、請求項2記載のオフセット補償装置において、前記演算手段は加減算回路であることを特徴とする。

【0017】

上記構成によれば、比較手段からエラー信号が出力されている時に加減算回路（アップダウンカウンタ）を動作させ、比較手段からのエラー信号がなくなった時に加減算回路の動作をリセットすれば、リセット直前の加減算値がエラー信号の収束値となる。この場合は、比較手段から出力されるエラー信号の極性によって加減算回路を加算させたり、減算させることことができるため、エラー信号の極性に拘らずエラー信号の収束値を求めることができる。

【0018】

請求項5記載のオフセット補償装置は、請求項2から4のいずれか一項記載のオフセット補償装置において、前記記憶手段は前記エラー信号の収束値の半分の値を記憶することを特徴とする。

【0019】

上記構成によれば、エラー信号の収束値の半分の値を前記記憶手段に保持し、この値をオフセット補償値として用いると、反転信号が半分しか補正されないが、非反転信号も逆補正されるため、電子装置のオフセットをキャンセルすることができ、電流加算型D/A変換器にも対応することができる。

【0020】

請求項6記載のオフセット補償装置発明は、請求項2から5のいずれか一項記載のオフセット補償装置において、前記調整手段及び前記比較手段は、請求項1に記載の比較回路であることを特徴とする。

【0021】

上記構成によれば、請求項 1 に記載の比較回路の差動回路の 2 入力に基準信号に対して差分を与えた場合、その出力電圧を位相反転して第 1 のトランジスタの基板に印加することにより、差分が基準信号に加算されて差分を基準信号に反映させることができる。従って、比較回路として機能する時は差分が反映された基準信号と比較対象の非反転信号と比較することにより比較回路のオフセットの影響を排除でき、精度の高い比較動作を行うことができる。

【0022】

請求項 7 記載のオフセット補償装置は、反転信号と非反転信号を出力する対出力ポートを有する電子装置の前記反転信号と非反転信号のオフセットを補償するオフセット補償装置において、所定の信号を前記電子装置に入力する入力手段と、前記電子装置から前記所定の信号に対応して出力される反転信号とこの反転信号と関連のない基準信号との差分を示す第 1 のエラー信号を導き出す第 1 の比較手段と、前記第 1 のエラー信号に応じた値を前記所定の信号に加算して前記入力手段により前記電子装置に入力する第 1 の演算手段と、前記第 1 のエラー信号の収束値を記憶する記憶手段と、前記電子装置から前記所定の信号に対応して出力される非反転信号とこの非反転信号と関連のない前記基準信号との差分を示す第 2 のエラー信号を導き出す第 2 の比較手段と、前記第 2 のエラー信号に応じた値を前記所定の信号に加算して前記入力手段により前記電子装置に入力する第 2 の演算手段と、前記第 2 のエラー信号の収束値を記憶する第 2 記憶手段と、前記第 1、第 2 の記憶手段に記憶されたそれぞれの収束値を用いて前記電子装置のオフセット補償値を算出するオフセット補償手段とを備える。

【0023】

上記構成によれば、所定の信号を電子装置に入力し、前記所定の信号に対応した前記電子装置からの反転信号とこの反転信号と関連のない基準信号との差分を示す第 1 のエラー信号を導き出し、この第 1 のエラー信号に応じた値を前記所定の信号に加算して前記電子装置に入力することを繰り返して第 1 のエラー信号の収束値を求めて記憶する。その後、前記所定の信号に対応した前記電子装置からの非反転信号とこの非反転信号と関連のない前記基準信号との差分を示す第 2 のエラー信号を導き出し、この第 2 のエラー信号に応じた値を前記所定の信号に加

算して前記電子装置に入力することを繰り返して第2のエラー信号の収束値を求めて記憶する。次に、第1、第2のエラー信号の収束値に演算を施して、第1、第2のエラー信号を導く時に入り込んだ第1、第2の比較手段のオフセットをキャンセルして、第1、第2の比較手段が有する比較動作時のオフセットの影響を受けない精度の高い電子装置のオフセット補償値を得ることができ、第1、第2の比較手段として通常の比較回路を用いることができる。

【0024】

請求項8記載のオフセット補償装置は、請求項7記載のオフセット補償装置において、前記オフセット補償値は、前記第1の記憶手段に記憶された値と、前記第2の記憶手段に記憶された値とを加算して算出されることを特徴とする。

【0025】

上記構成によれば、第1、第2の記憶手段に記憶されている第1、第2のエラー信号の収束値を加算すれば、第1、第2の比較手段のオフセットが逆相のため、これらオフセットがキャンセルされ、加算値を半分にすれば、第1、第2の比較手段のオフセットの影響のない精度の高い電子装置のオフセット補償値を得ることができる。

【0026】

請求項9記載のオフセット補償装置は、請求項7記載のオフセット補償装置において、前記第1、第2のエラー信号の収束値は、それぞれ半分にして前記第1、第2の記憶手段に記憶されることを特徴とする。

【0027】

上記構成によれば、第1、第2の記憶手段に記憶されている第1、第2のエラー信号の収束値が既に半分のため、これら収束値を加算して第1、第2の比較手段のオフセットをキャンセルすれば、直ちに、精度の高い電子装置のオフセット補償値を得ることができる。

【0028】

請求項10記載のオフセット補償装置は、請求項7記載のオフセット補償装置において、前記第1、第2の演算手段はカウンタであることを特徴とする。

【0029】

上記構成によれば、比較手段からエラー信号が出力している時にカウンタを動作させ、第1、第2の比較手段からの第1、第2のエラー信号がなくなった時にカウンタの動作をリセットすれば、リセット直前のカウンタ値が第1、第2のエラー信号の収束値となる。

【0030】

請求項11記載の発明は、請求項7記載のオフセット補償装置において、前記第1、第2の演算手段は加減算回路であることを特徴とする。

【0031】

上記構成によれば、第1、第2の比較手段から第1、第2のエラー信号が出力されている時に加減算回路（アップダウンカウンタ）を動作させ、第1、第2の比較手段からの第1、第2のエラー信号がエラー信号がなくなった時に加減算回路の動作をリセットすれば、リセット直前の加減算値がエラー信号の収束値となる。この場合は、第1、第2の比較手段からエラー信号の極性によって加減算回路を加算させたり、減算させることことができるため、エラー信号の極性に拘らずエラー信号の収束値を迅速に求めることができる。

【0032】

請求項12記載のオフセット補償装置は、請求項2から11のいずれか一項記載のオフセット補償装置において、前記電子装置はD/A変換回路であることを特徴とする。

【0033】

上記構成によれば、D/A変換回路のオフセットが精度良くキャンセルされ、変換精度を向上させることができる。

【0034】

【発明の実施の形態】

以下、本発明の実施の形態を図面を参照して説明する。

（実施の形態1）

図1は、本発明の第1の実施の形態に係る比較回路の構成を示す回路図である。第1の実施の形態の比較回路（以降、コンパレータとも称する）は、図示のように、差動対をなすNMOSトランジスタN1、N2と、定電流源トランジスタ

N3と、カレントミラーを構成する負荷トランジスタ（PMOSトランジスタ）P1、P2と、プッシュプル方式の出力段回路を構成する出力段トランジスタ（PMOSトランジスタP3と、定電流源トランジスタN4とからなる）と、位相調整抵抗 R_c 、位相調整容量 C_c 、オフセット調整時にオン状態となるスイッチSW2から成る位相調整回路410と、DCカットオフコンデンサC1と、スイッチSW1と、スイッチSW3と、入力端子T1と入力端子T2を備える。

【0035】

ここで、差動対トランジスタN1には、入力端子T1を介して入力電圧（INPUT）または基準電圧（バイアス電圧とも称する： V_{ref} ）が与えられる。また、差動対トランジスタ（N2）には、入力端子T2を介して、常に、基準電圧（ V_{ref} ）が与えられる。

【0036】

図1に記載されている各トランジスタに付される“N”は、N型のMOSトランジスタを意味し、“P”は、P型のMOSトランジスタを意味する。 V_{DD} は電源電圧（例えば3V）であり、 V_{SS} は回路の最低電圧（GND）である。スイッチSW1～SW3は、それぞれ通常動作モードとオフセット調整モードとを選択的に切り替えるために設けられている。

【0037】

入力信号（INPUT）を受けるスイッチSW3は、通常動作時にはa端子側に切り替えられ、オフセット調整モードのときにはb端子側に切り替えられる。同様に、スイッチSW1は、通常動作時にはa端子側に切り替えられ、オフセット調整モードのときにはb端子側に切り替えられる。

【0038】

さらに、スイッチSW2はオフセット調整モードにおいてオンし、コンパレータとしての通常動作時にはオフする。これは以下の理由による。すなわち、オフセット調整のための負帰還制御を行う場合には、基板バイアスを制御するための制御信号がリニアに変化する必要があり、そのため、アナログ回路の線形領域の動作が要求される。

【0039】

従って、オフセット調整モードではスイッチ SW2 をオンして、位相調整回路 410 をアクティブとする。これにより、コンパレータをオペレーショナルアンプ（オペアンプ）として動作させることができる。

【0040】

なお、図1において、コンデンサ C1 は、NMOS トランジスタ N1 の基板バイアスが、ソース電位や、あるいは NMOS トランジスタ N2 の基板電位に影響を与えるのを防止する直流カットコンデンサとして機能する。さらに、このコンデンサ C1 は、オフセット調整が終わって、スイッチ SW1、SW3 が a 端子側に切り替えられた後も、少なくとも所定の時間は、NMOS トランジスタ N1 の基板に、調整された電圧を与え続けるための保持コンデンサとしても機能する。

【0041】

図2は、図1の回路のうち差動対をなすトランジスタ（N1、N2）の、半導体デバイスの断面構造を示す図である。図示のように、トランジスタ（N1、N2）はダブルウエル構造が採用され、P型基板 11 中にN型ウエル 12 が形成され、そのN型ウエル中にP型ウエル 14、16 が形成されている。そして、各P型ウエル 14、16 中に、ソース・ドレイン層（18、20、22、24）が形成されている。

【0042】

図2の左側に示されるのがトランジスタ N1 であり、右側に示されているのがトランジスタ N2 である。トランジスタ N1 の基板バイアスというときは、図2では、P型ウエル 14 の電圧を意味する。また、後で説明するように、差動対トランジスタ N1 のサイズは、差動対トランジスタ N2 のサイズよりも大きく設定するのが望ましい（この点については、図6、図7を用いて後述する）。

【0043】

以下、図3から図7を用いて、図1に示す本発明のコンパレータのオフセット調整時の動作について説明する。但し、図3から図6の回路は、図1の回路と同じであるが、図1よりも理解が容易になるように配慮して作成されている。従って、図3から図6では、図1の定電流源トランジスタ（N3、N4）は、それぞれ定電流源（ISW1、ISW2）として簡略化されて描かれている。また、後

で説明するように、差動対トランジスタN1のサイズ（つまり、MOSトランジスタのチャネルコンダクタンス： W/L ）は、差動対トランジスタN2のサイズよりも大きく設定する（例えば、2倍のサイズとする）のが望ましい。

【0044】

オフセット調整モードでは、図3に示されるように、スイッチSW1はb端子側に切り替えられる。これにより、差動対トランジスタN1、N2のゲート電圧 V_{in1} 、 V_{in2} は、基準電圧 V_{ref} に固定される。上述のように、差動回路の左側と右側の電流量は理論値では同じであるが、実際は、種々の要因により、アンバランスが生じる。本実施の形態によれば、アンバランスが解消される方向に自動的に調整され、この調整は、MOSトランジスタの基板バイアスを変化させることにより実現される。

【0045】

具体的な説明に入る前に、MOSトランジスタの閾値電圧 V_{th} と、基板バイアスとの関係について説明する。NMOSトランジスタの閾値電圧 V_{th} は、下記（1）式のように表される。

【0046】

$$V_{th} = 2\phi_B + \{2\epsilon_S q N_A (2\phi_B + V_{BS})\}^{1/2} C_i \quad \dots (1)$$

【0047】

ここで、 ϕ_B は基板のポテンシャル、 ϵ_S はシリコンの誘電率、 q は単位電荷、 C_i はゲート容量を示す。

【0048】

閾値電圧 V_{th} は、ソース電位 V_{BS} （すなわち、基板を基準としたソースの電位）に依存し、この値が大きくなるほど、閾値電圧（反転電圧） V_{th} は増大する。

【0049】

ここで、基板電位を固定してソース電位を上昇させることと、ソース電位を固定して基板電位を低下させることは等価であり、どちらも、基板電位からみたソース電位を上昇させることである。この場合には、上述の（1）式から、閾値 V_{th} は上昇することになる。

【0050】

以下、各種のオフセットの自動調整動作を、図3から図7を参照して説明する。

(1) 基板電位調整動作

まず、差動対トランジスタ（NMOSトランジスタ：以下、単に、トランジスタと記載する）N1の基板電位を、自動的に調整するための動作を図3を用いて説明する。図3では、負帰還動作が明確に理解できるように、回路の所定箇所の電圧の変化を、1～5の符号が付された矢印で示している。上を指す矢印は電圧の上昇を意味し、下を指す矢印は、電圧の下降を意味する。

【0051】

図3のコンパレータ（位相調整器410がオンのときは、オペアンプとして機能する）の場合、トランジスタN1の基板電位は固定されていない。よって、初期状態では、トランジスタN1の基板電位が決まっておらず、不安定な状態である。

【0052】

仮に、トランジスタN1の基板電位がトランジスタN2の基板電位より低いとすると（図3の矢印1）、上述の説明のように、トランジスタN1の閾値電圧 V_{th} が高くなる。よって、トランジスタN1の電流能力は、トランジスタN2の電流能力よりも低くなる。

【0053】

この状態は、トランジスタN1のゲート電圧（ V_{N1} ）が、トランジスタN2のゲート電圧（ V_{N2} ）よりも低い状態と同じである（図3の矢印2）。従って、差動増幅回路50（図3では、太い点線の三角形で示されている）の出力信号は入力信号と同相の関係にあるから、差動増幅回路50の出力信号の電圧も低下する（図3中の矢印3）。

【0054】

差動増幅器50の出力信号は、ソース接地PMOSトランジスタ（P3）にて、その電圧レベルが反転される。従って、ソース接地PMOSトランジスタ（P3）の出力電圧のレベルは上昇する（図3中の符号4）。現在、スイッチSW1

はb側に切り替えられているため、ソース接地PMOSトランジスタ(P3)の出力電圧は、差動増幅回路50内の差動対トランジスタN1の基板バイアスとして、フィードバックされる。

【0055】

従って、ソース接地PMOSトランジスタ(P3)の出力電圧は、そのまま、差動対トランジスタN1の基板電位となる。よって、トランジスタN1の基板電位が上昇する(図3中の符号5)。この動作を繰り返すにより、トランジスタN1の基板電位は、トランジスタN2の基板電位と同じになって安定する。この動作は、 $V_{in1} = V_{in2}$ の条件下で、差動増幅回路の左側の系(P1-N1の系)と右側の系(P2-N2の系)が同一の特性になるように、トランジスタN1の基板電位が調整されることを意味する。

【0056】

(2) 差動対トランジスタの電流能力のオフセットを調整する動作

トランジスタを製造する際のばらつきに起因して、差動対トランジスタ(N1、N2)の電流能力にオフセットが生じる場合が多い。以下、図4を用いて、差動対トランジスタの電流能力のオフセットを調整する動作について説明する。

【0057】

ここでは、差動対トランジスタN1(左のトランジスタ)の方が、トランジスタN2(右のトランジスタ)よりも電流能力が高くなった場合を想定する。つまり、図4中に記載されるように、差動回路の左の系を流れる電流I1の電流量は、右の系を流れる電流I2の電流量よりも大きい(図4の矢印1)。

【0058】

このような状態は、トランジスタN1のゲート電圧が、トランジスタN2のゲート電圧よりも大きい状態と同じである(図4の矢印2)。従って、差動回路のシングルエンド出力の電圧レベルは上昇する(図4中の矢印3)ため、ソース接地トランジスタP3の出力信号のレベルは低下する(図4中の矢印4)。トランジスタP3の出力電圧は、そのまま、差動対トランジスタN1の基板電位となる。それ故、トランジスタN1の基板電位は低下する(図4中の矢印5)。この結果、トランジスタN1の閾値電圧 V_{th} が上昇し、トランジスタN1の電流能力

が低くなる。

【0059】

このことは、差動対トランジスタN1のゲート電圧が、低下したのと実質的に同じである（図4中の矢印6）。このような負帰還動作が繰り返され、トランジスタN1とN2が同一特性となったときに、回路状態が安定する。このことは、差動対トランジスタN1とN2のゲート電圧が同じであるという条件の下で、差動回路の左右の系が同一特性になるように、トランジスタN1の基板電位が調整されることを意味する。

【0060】

（3）カレントミラーの電流オフセットの調整動作

次に、カレントミラーを構成するトランジスタP1の電流能力がトランジスタP2の電流能力よりも低くなった場合を想定する。図5はこの場合のカレントミラーの電流オフセット調整動作を説明する図である。

【0061】

トランジスタP1を流れる電流I1がトランジスタP2を流れる電流I2よりも少ないということは、差動対トランジスタN1、N2が同じ量の電流を引いている状態で、左の系における電源電位VDDからの電流供給が、右の系よりも少ないということを意味する。

【0062】

従って、トランジスタP1のドレイン電圧は、トランジスタP2のドレイン電圧より低くなる。（図5中の矢印1）。すなわち、差動対トランジスタN1のドレイン電圧が、差動対トランジスタN2のドレイン電圧より低い状態である。この状態は、トランジスタN1のゲート電圧が、トランジスタN2のゲート電圧よりも高い状態と同じである（図5中の矢印2）。

【0063】

このため、差動回路のシングルエンド出力信号の電圧レベルは上昇する（図5中の矢印3）。従って、ソース接地トランジスタP3の出力信号の電圧レベルは低下する（図5中の矢印4）。よって、トランジスタN1の基板電位が低下する（図5中の矢印5）。トランジスタN1の基板電位がトランジスタN2の基板電

位より低いとすると、トランジスタ N1 の閾値電圧 V_{th} が高くなり、トランジスタ N1 の電流能力が低下する。トランジスタ N1 の電流能力が低くなると、差動対トランジスタ N1 のドレイン電圧が上昇する。すなわち、カレントミラーを構成するトランジスタ P1 のドレイン電圧が上昇する（図 5 中の矢印 6）。

【0064】

このように、トランジスタ P1 と P2 が異なる特性を持つ場合、あるいは、トランジスタ N1 と N2 が異なった特性を持つ場合でも、差動対トランジスタ N1, N2 のゲート電圧が等しい ($V_{in1} = V_{in2}$) という条件の下で、差動回路の左の系（トランジスタ P1, N1 を含む系）と、右の系（トランジスタ P2, N2 を含む系）の特性が同一となるように、差動対トランジスタ N1 の基板電位が自動的に調整される。

【0065】

以上の説明では、差動対トランジスタ (N1, N2) の入力レベルが同じであることを条件としている。従って、差動回路への入力レベルが等しいという条件の下、差動回路の左右の電流オフセットが零となるように、自動的に調整される。

【0066】

(4) 差動回路の 2 つの入力信号のレベルにオフセットを与えた場合のトランジスタ N1 の基板電位の調整動作

次に、差動対トランジスタ (N1, N2) の入力信号にオフセットを与え、差動対トランジスタ N1 の入力信号が差動対トランジスタ N2 の入力信号より高い場合を想定する。図 6 は、この場合の、オフセット調整動作を説明する回路図である。

【0067】

トランジスタ N1 の入力信号 V_{N1} が、トランジスタ N2 の入力信号 V_{N2} より高いということは、トランジスタ N1 の方がトランジスタ N2 より大きな電流を引いている状態である（図 6 中の矢印 1）。すなわち、トランジスタ N1 のドレイン電圧が低下する（図 6 中の矢印 2）。従って、差動回路のシングルエンド出力の電圧レベルは上昇する（図 6 中の矢印 3）。

【0068】

これにより、ソース接地トランジスタ P3 の出力信号のレベルは低下する（図 6 中の矢印 4）。トランジスタ P3 の出力電圧は、そのまま、差動対トランジスタ N1 の基板電位となる。それ故、トランジスタ N1 の基板電位は低下する（図 6 中の矢印 5）。この結果、トランジスタ N1 の閾値電圧 V_{th} が上昇し、トランジスタ N1 の電流能力が低くなる。

【0069】

このように、トランジスタ N1 と N2 の入力信号が異なる場合、差動対トランジスタ N1, N2 のゲート電圧が異なる ($V_{in1} + \alpha = V_{in2}$) という条件の下で、差動回路の左の系（トランジスタ P1, N1 を含む系）と、右の系（トランジスタ P2, N2 を含む系）の特性が同一となるように、差動対トランジスタ N1 の基板電位が、自動的に調整される。

【0070】

以上のことから、 V_{in2} を基準として考えた場合 ($V_{in2} = V_{ref}$)、 V_{in1} に入力された信号 ($V_{ref} + \alpha$) の差分 ($+\alpha$) をオフセットとして持つことが可能になる。つまり、このオフセット調整モードを経て、スイッチ SW1、SW4 を a 側に接続し、通常動作モードにしてやると、 V_{in2} の入力信号 (V_{ref}) にオフセット ($+\alpha$) が加算され、コンパレータの比較はあたかも、 $V_{ref} + \alpha$ と比較することになる。このことは、オフセット調整モードで V_{in1} に入力する信号と通常動作モードで V_{in1} に入力する信号を直接比較するのと同等の比較動作が可能になることを意味する。

【0071】

(5) 寄生ダイオードをオンさせないために、差動回路にオフセットを与えた場合のトランジスタ N1 の基板電位の調整動作

本実施の形態では、前記 (4) 差動回路の 2 つの入力信号のレベルにオフセットを与えた場合の、トランジスタ N1 の基板電位の調整動作のような、初期状態から意図的にオフセットを与える手法を積極的に利用している。

【0072】

すなわち、トランジスタ N1 のサイズを N2 のサイズよりも大きく設計し、最

初から、電流能力に差を与える。これにより、寄生ダイオードのオンを防止して、トランジスタ N1 の基板電位を、正方向、負方向のどちらにも、制限なく変動させることができるようにする。

【0073】

トランジスタ N1 のサイズを N2 のサイズよりも大きく設計することは、上述の、 $V_{in1} - \alpha = V_{in2}$ という条件の下で、強制的に $V_{in1} = V_{in2}$ とし、ソース接地トランジスタ P3 の出力電圧に、 $-\alpha$ のオフセットを初期状態から与えることを意味する。以下、図 7 を用いて具体的に説明する。

【0074】

図 7 に示すように、差動対トランジスタ N1 のサイズは差動対トランジスタ N2 の 2 倍となっている。差動回路の左右の電流のアンバランスを調整するために、差動対トランジスタ N1 の基板電位が、負帰還制御により上昇したと想定する。

【0075】

このとき、基板とソース間に介在する寄生ダイオード 10 (図 7) がオンしてしまうと、トランジスタ N1 のソース電位 (V_K) にダイオード 10 の順方向電圧 (V_F) を加えた電圧 ($V_K + V_F$) でもって、基板電位がクランプされてしまい、それ以上の基板電位の上昇が不可能になってしまう。これでは基板バイアス効果を利用した MOS トランジスタの電流調整能力が不完全なものになってしまう。

【0076】

このような事態が生じるのを防止するため、図 7 の例では、差動対トランジスタ N1 と N2 のサイズ (チャネルコンダクタンス: W/L) を、例えば、2:1 に設定している。これは、トランジスタ N1 の入力電圧 V_{in1} と、他方のトランジスタ N2 の入力電圧 V_{in2} との間に、 $V_{in1} - \alpha = V_{in2}$ (α は初期オフセット電圧) という初期条件を与えたことになる。

【0077】

この場合には、上述の通り、出力電圧 (ソース接地トランジスタ P3 の出力電圧) V_{out} には、 $-\alpha$ の電圧オフセットが発生する。このオフセット電圧がト

ランジスタN1の基板バイアスとなるから、初期状態において、トランジスタN1の基板電位は、トランジスタN1とN2のサイズを同じとした場合に比べて、 $-\alpha$ 分だけ、絶えず、低くなるような負帰還制御を受けていることになる。

【0078】

つまり、NMOSトランジスタN1の基板電位は、当初から、低下する方向（マイナスの方向）にのみ、負帰還制御が働くようになっている。従って、NMOSトランジスタN1の基板電位VA（すなわち、寄生ダイオード10のアノード電位）は、ソース電位（寄生ダイオード10のカソード電位）よりも上昇しないため、寄生ダイオード10は決してオンしない。

【0079】

図8は基板電位（VA）とソース電位（VK）、ならびにクランプ電位の相互の関係を示す図である。但し、図中VCはクランプ電圧、VFは寄生ダイオード10の順方向電圧、VKはソース電圧、VA1は初期オフセットを与えない場合の初期基板電位、VA2は初期オフセットを与えた場合の初期基板電位、VQは初期オフセットによるシフト電圧、 $-$ は基板バイアスを示している。図8の左側に示されるのが、初期オフセット（ α ）を与えない場合の基板バイアスの変化を示す。基板バイアスが上昇すると、クランプ電位VC（ $VK + VF$ ）でクランプされてしまい、それ以上の変化は不可能となる。

【0080】

一方、初期オフセット（ α ）を与えた場合には、その分だけ、当初から基板電位がマイナス側にVQ（上述のオフセット電圧 α に相当）だけシフトするから、基板バイアスがダイナミックレンジいっぱい振れたとしても、寄生ダイオード10はオンしない。それ故、基板電位がクランプされることはない。つまり、寄生ダイオードによるクランプの危険性がないため、負帰還制御信号のレベルは、所定のダイナミックレンジにおいて、何らの制限を受けることなく変化することができ、従って、常に、適正な負帰還制御による基板バイアス調整がなされる。

【0081】

なお、図1の回路と同様に、図7のコンデンサC1は、NMOSトランジスタN1の基板バイアスがソース電位やあるいは、NMOSトランジスタN2の基板

電位に影響を与えるのを防止する直流カットコンデンサとして機能すると共に、オフセット調整が終わって、スイッチSW1, SW3がa端子側に切り替えられた後も、少なくとも所定の時間は、NMOSトランジスタN1の基板に、調整された電圧を与えつづけるための保持コンデンサとしても機能する。

【0082】

本実施の形態によれば、コンパレータ自体のオフセットそのものを基準信号に加算することにより比較動作時にトランジスタのばらつきなどによるオフセットの影響を排除でき、精度の高い比較動作を行うことができる。

【0083】

図9は、入力段の差動対をなすトランジスタをPMOSトランジスタで構成したコンパレータを示す図である。図1から図7の回路とトランジスタの導電型が逆になっているが、基本的な動作は同じである。回路動作は、図1から図7の回路と同様で同様の効果を有する。

【0084】

(実施の形態2)

図10は本発明の第2の実施の形態に係るオフセット補償装置の構成を示す回路図である。本実施の形態のオフセット補償装置はオフセット調整機能を持つコンパレータを用いてDCオフセットをキャンセルするものである。

【0085】

ここで、コンパレータとして、上記実施の形態で説明したオフセット調整機能付コンパレータ400を使用する。D/A変換器500a(500b)のオフセットをキャンセルするのに先立ち、コンパレータ400の入力段に設けられているスイッチSW4をa端子側に切り替えて左右の電流オフセットを調整する。a端子には、D/A変換器500a(500b)の差動出力(負)が入力されている。

【0086】

これにより、コンパレータ400での比較電圧は非反転端子に接続されている基準電圧V_{ref}と反転端子に接続されているD/A変換器500a(500b)の差動出力(負)になり、相互の関係はまったくないため、上記実施の形態で

説明したコンパレータの差動対トランジスタにオフセットを持たせた場合に等しくなり、基準電圧 V_{ref} との差分をコンパレータ 400 に保持する動作となる。

【0087】

次に、スイッチ SW4 を b 側に切り替える。このとき、同時に、図 1（図 2 ～ 図 7）の回路のコンデンサ C1 に調整電圧が保持されてコンパレータのオフセットが調整されている期間内において、D/A 変換器 500 a（500 b）の入出力オフセットをキャンセルするための動作が実施される。

【0088】

つまり、D/A 変換器 500 a（500 b）の入出力にオフセットがある場合には、そのオフセットを打ち消すような補正值が補正值生成回路 411 から出力され、加算器 420 においてその補正值が入力信号に与えられる。

【0089】

以下、D/A 変換器 500 a（500 b）の入出力にオフセットを補正する動作の概要を説明する。最初、加算器 420 に、例えば、1.7 V の直流信号に相当するデータを入力する。このとき、1.7 V のデータ入力と同期して、カウンタ 412 がアップカウントを開始する。ラッチ回路 414 は、コンパレータ 400 の出力信号がローレベルに反転するまでの間、カウンタ 412 から出力されるカウント値をそのまま加算器 420 に与える。

【0090】

当初、加算器 420 に与えられる補正值は“0”であるため、1.7 V の入力は D/A 変換器 500 a（500 b）にそのまま与えられる。D/A 変換器 500 a（500 b）の変換出力は、スイッチ SW4 を通してコンパレータ 400 の反転端子に与えられ、コンパレータ 400 の非反転端子には基準電圧 V_{ref} （ここでは 2 V とする）が与えられている。

【0091】

ここで、A- が 1.71 V であったと仮定した場合、コンパレータ 400 には V_{ref} との差分である -0.29 V のオフセットが保持されている。そのため、非反転端子の電位からオフセットが付いているため、 $2\text{ V} - 0.29\text{ V} = 1.71\text{ V}$ 。

71 Vと比較していることになる。ここでA+が1.69 Vであった場合、非反転端子の方が見かけ上高くなるため、コンパレータ400の出力はハイレベルであり、従って、カウンタ412のカウント値は加算器420に与えられ、入力信号に加算される。

【0092】

同様な動作が繰り返され、D/A変換器500a(500b)の出力が $V_{ref}(2V) + \text{オフセット}(-0.29V) = 1.71V$ を超えると、コンパレータ400の出力はローレベルに反転し、これにより、カウンタ412はリセットされる。また、その時点のカウンタ出力がラッチ414に保持される。この結果、D/A変換器500a(500b)の差動出力は、正負ともに、A-の電位(1.71 V)に統一され、オフセットがキャンセルされる。

【0093】

ここで、A-の電圧がA+より低かった場合、つまり $A- = 1.65V$ 、 $A+ = 1.71V$ のような場合、コンパレータ400の出力がローレベルになってしまうため、調整機能が働かない。よって、A+を調整する過程では正規の1.7 Vデータを入力するのではなくて、あえて0 V等低いデータを与える必要がある。そのため、オフセットキャンセルに要する時間がある程度確保する必要がある。

【0094】

本実施の形態によれば、比較動作精度が高いコンパレータ400を用いてD/A変換器500a(500b)のDCオフセットを補正していることにより、D/A変換器500a(500b)のDCオフセットを精度良くキャンセルすることができる。

【0095】

(実施の形態3)

図11は、本発明の第3の実施の形態に係るオフセット補償装置の構成を示す回路図である。但し、第2の実施の形態と同様の部分には同一符号を用いて説明する。本実施の形態では、補正值生成回路430が加減算回路(アップダウンカウンタ)432とラッチ434から成り、加算器420への入力がスイッチSW

5により加減算回路432とラッチ434のいずれかを選択できる構成であるか、他の構成は図10に示す回路と同様である。

【0096】

ここで、コンパレータとして、上述の第1の実施の形態で説明したオフセット調整機能付コンパレータ400を使用する。D/A変換器500a(500b)のオフセットをキャンセルするのに先立ち、コンパレータ400の入力段に設けられているスイッチSW4をa端子側に切り替えて左右の電流オフセットを調整する。a端子には、D/A変換器500a(500b)の差動出力(負)が入力されている。また、スイッチSW5はb端子側に切り替えてあり、加減算回路43の出力がそのまま加算器420に入力されるように成っている。

【0097】

コンパレータ400での比較電圧は非反転端子に接続されているVrefと反転端子に接続されているD/A変換器500a(500b)の差動出力(負)になり、相互の関係はまったくないため、上記の実施の形態で説明したコンパレータの差動対トランジスタにオフセットを持たせた場合に等しくなるため、Vrefとの差分をコンパレータ400に保持する動作となる。

【0098】

次に、スイッチSW4をb側に切り替える。このとき、同時に、図1(図2～図7)の回路のコンデンサC1に、調整電圧が保持されてコンパレータのオフセットが調整されている期間内において、D/A変換器500a(500b)の入出力オフセットをキャンセルするための動作が実施される。

【0099】

つまり、D/A変換器500a(500b)の入出力にオフセットがある場合には、そのオフセットを打ち消すような補正值が補正值生成回路430から出力され、加算器420においてその補正值が入力信号に与えられる。

【0100】

以下、その動作の概要を説明する。最初、加算器420に、例えば、1.7Vの直流信号に相当するデータを入力する。このとき、1.7Vのデータ入力と同期して、加減算回路432がコンパレータ400の出力に応じて演算動作する。

コンパレータ 400 の出力がハイレベルの場合、ある一定間隔でアップカウントし、ローレベルの場合はダウンカウントする。

【0101】

補正值生成回路 430 は、オフセットキャンセルが収束する十分な時間が経つまでの間、加減算回路 432 から出力される演算値をスイッチ SW5 を通してそのまま加算器 420 に与える。当初、加算器 420 に与えられる補正值は“0”であるため、1.7V の入力、D/A 変換器 500a (500b) にそのまま与えられる。

【0102】

D/A 変換器 500a (500b) の変換出力は、コンパレータ 400 の反転端子に与えられる。コンパレータ 400 の非反転端子には基準電圧 V_{ref} (ここでは 2V とする) が与えられている。A- が 1.71V であったと仮定した場合、コンパレータ 400 には V_{ref} との差分である -0.29V のオフセットが保持されている。

【0103】

そのため、非反転端子の電位からオフセットが付いているため、 $2V - 0.29V = 1.71V$ と比較していることになる。ここで A+ が 1.69V であった場合、非反転端子の方が見かけ上高くなるため、コンパレータ 400 の出力はハイレベルであり、ゆえに、加減算回路 432 の演算値はスイッチ SW5 を通して加算器 420 に与えられて入力信号に加算される。

【0104】

同様な動作が繰り返され、D/A 変換器 500a (500b) の出力が V_{ref} (2V) + オフセット (-0.29V) = 1.71V を超えると、コンパレータ 400 の出力はローレベルに反転する。コンパレータ 400 の出力がローレベルに反転すると、加算回路 432 は減算を始める。

【0105】

このように、1.71V で加算と減算を繰り返し、1.71V で収束する。その時点を見計らって、スイッチ SW5 が a 端子に切り替わり、ラッチ 434 に保持された演算出力が加算器 420 に入力される。この結果、D/A 変換器 500

a (500b) の差動出力は、正負ともに、A-の電位 (1.71V) に統一され、オフセットがキャンセルされる。

【0106】

本実施の形態によれば、A-の電圧がA+より低かった場合、つまり $A- = 1.65V$ 、 $A+ = 1.71V$ のような場合でも、加減算回路432がダウンカウントして同様の動作が行えるため、あえて0V等の低いデータを与える必要はなく、結果としてオフセット誤差分の調整時間のみで済み、前実施の形態よりもオフセットキャンセル時間を短くすることができる。

【0107】

実施の形態2、3はD/A変換器500a (500b) のA-を固定値として扱い、A+を調整する方法であるが、当然、符号関係を逆にすればA+を固定値として扱い、A-を調整することも可能である。しかし、電流加算型D/A変換器のように、A+とA-は必ず反転の関係しか出せない方式もある。そのようなD/A変換器には適用できない。

【0108】

(実施の形態4)

図12は、本発明の第4の実施の形態に係るオフセット補償装置の構成を示す回路図である。但し、第2の実施の形態と同様の部分には同一符号を用いて説明する。本実施の形態では、補正值生成回路440はカウンタ442のカウント値を1/2にする1/2回路443と、加算器420への入力を加減算回路432とラッチ434のいずれかに選択するスイッチSW5を有しているが、他の構成は図10に示す回路と同様である。

【0109】

D/A変換器500a (500b) のオフセットをキャンセルするのに先立ち、コンパレータ400の入力段に設けられているスイッチSW4をa端子側に切り替えて、左右の電流オフセットを調整する。スイッチSW4のa端子には、D/A変換器500a (500b) の差動出力 (負) が入力されている。また、スイッチSW5はb端子側に切り替えてあり、加減算回路43の出力がそのまま加算器420に入力されるように成っている。

【0110】

ここで、コンパレータ 400 での比較電圧は非反転端子に接続されている基準電圧 V_{ref} と反転端子に接続されている D/A 変換器 500a (500b) の差動出力 (負) になり、相互の関係はまったくないため、上記実施の形態で説明したコンパレータの差動対トランジスタにオフセットを持たせた場合に等しくなるため、 V_{ref} との差分をコンパレータ 400 に保持する動作となる。

【0111】

次に、スイッチ SW4 を b 側に切り替える。このとき、同時に、図 1 (図 2 ~ 図 7) の回路のコンデンサ C1 に、調整電圧が保持されてコンパレータのオフセットが調整されている期間内において、D/A 変換器 500a (500b) の入出力オフセットをキャンセルするための動作が実施される。

【0112】

つまり、D/A 変換器 500a (500b) の入出力にオフセットがある場合には、そのオフセットを打ち消すような補正値が、補正値生成回路 440 から出力され、加算器 420 において、その補正値が入力信号に与えられる。

【0113】

以下、その動作の概要を説明する。最初、加算器 420 に、例えば、1.7V の直流信号に相当するデータを入力する。このとき、1.7V のデータ入力と同期して、カウンタ 442 がアップカウントを開始する。スイッチ SW5 は、コンパレータ 400 の出力信号がローレベルに反転するまでの間、カウンタ 442 から出力されるカウント値をそのまま加算器 420 に与える。

【0114】

当初、加算器 420 に与えられる補正値は“0”であるため、1.7V の入力 は、D/A 変換器 500a (500b) にそのまま与えられる。D/A 変換器 500a (500b) の変換出力は、コンパレータ 400 の反転端子に与えられる。コンパレータ 400 の非反転端子には基準電圧 V_{ref} (ここでは 2V とする) が与えられている。

【0115】

ここで、A- が 1.71V であったと仮定した場合、コンパレータ 400 には

V_{ref}との差分である -0.29 V のオフセットが保持されている。そのため、非反転端子の電位からオフセットが付いているため、 $2\text{ V}-0.29\text{ V}=1.71\text{ V}$ と比較していることになる。ここでA+が 1.69 V であった場合、非反転端子の方が見かけ上高くなるため、コンパレータ400の出力はハイレベルであり、ゆえに、カウンタ442のカウント値は加算器420に与えられ、入力信号に加算される。

【0116】

同様な動作が繰り返され、D/A変換器500a(500b)の出力がV_{ref}(2 V) + オフセット(-0.29 V) = 1.71 V を超えると、コンパレータ400の出力はローレベルに反転し、コンパレータ400の出力はローレベルに反転する。これにより、カウンタ442はリセットされる。また、その時点のカウント出力は1/2回路443で1/2の値に変換されラッチ444に保持され、加算器420に inputs される。また、この時、スイッチSW5はa端子側に切り替わる。

【0117】

つまり、カウントした値の半分しかA+は補正されなくなるため、 $(1.71\text{ V}+1.69\text{ V})/2=1.70\text{ V}$ となってしまう。しかし、A-もA+の補正分($1.70\text{ V}-1.69\text{ V}=+0.01\text{ V}$)とは逆補正される。

【0118】

すなわち、A-は $1.71\text{ V}-(+0.01\text{ V})=1.70\text{ V}$ となり、A+と同一電位となる。この結果、D/A変換器500a(500b)の差動出力は、正負ともに、 1.70 V に統一され、オフセットがキャンセルされる。

【0119】

ここで、A-の電圧がA+より低かった場合、つまりA- = 1.65 V 、A+ = 1.71 V のような場合、コンパレータ400の出力がローレベルになってしまうため、調整機能が働かない。よって、A+を調整する過程では正規の 1.7 V データを入力するのではなくて、あえて 0 V 等低いデータを与える必要がある。そのため、オフセットキャンセルに要する時間がある程度確保する必要がある。

【0120】

本実施の形態によれば、カウンタ442のカウント値を $1/2$ して最終的にラッチ444にラッチするため、 $A+$ と $A-$ は必ず反転の関係しか出せない電流加算型D/A変換器500a(500b)を用いた場合も、符号関係を逆にして $A+$ の電位と V_{ref} との差分をコンパレータに保持して、オフセットを精度良くキャンセルをすることが可能である。

【0121】

(実施の形態5)

図13は、本発明の第5の実施の形態に係るオフセット補償装置の構成を示す回路図である。但し、第2の実施の形態と同様の部分には同一符号を用いて説明する。本実施の形態では、補正值生成回路450は、加減算回路(アップダウンカウンタ)452のカウント値を $1/2$ にする $1/2$ 回路443と、加算器420への入力を加減算回路432とラッチ434のいずれかに選択するスイッチSW5を有しているが、他の構成は図10に示す第2の実施の形態の回路と同様である。

【0122】

D/A変換器500a(500b)のオフセットをキャンセルするのに先立ち、コンパレータ400の入力段に設けられているスイッチSW4をa端子側に切り替えて、左右の電流オフセットを調整する。a端子には、D/A変換器500a(500b)の差動出力(負)が入力されている。また、スイッチSW5はb端子側に切り替えてあり、加減算回路43の出力がそのまま加算器420に入力されるように成っている。

【0123】

ここで、コンパレータ400での比較電圧は非反転端子に接続されている V_{ref} と反転端子に接続されているD/A変換器500a(500b)の差動出力(負)になり、相互の関係はまったくないため、上記実施の形態で説明したコンパレータの差動対トランジスタにオフセットを持たせた場合に等しくなるため、 V_{ref} との差分をコンパレータ400に保持する動作となる。

【0124】

次に、スイッチ SW4 を b 側に切り替える。このとき、同時に、図 1（図 2 ～ 図 7）の回路のコンデンサ C1 に、調整電圧が保持されてコンパレータのオフセットが調整されている期間内において、D/A 変換器 500 a（500 b）の入出力オフセットをキャンセルするための動作が実施される。

【0125】

つまり、D/A 変換器 500 a（500 b）の入出力にオフセットがある場合には、そのオフセットを打ち消すような補正値が、補正値生成回路 450 から出力され、加算器 420 において、その補正値が入力信号に与えられる。

【0126】

以下、その動作の概要を説明する。最初、加算器 420 に、例えば、1.7 V の直流信号に相当するデータを入力する。このとき、1.7 V のデータ入力と同期して、コンパレータ 400 の出力がハイレベルの場合、加減算回路 452 がアップカウントしていき、ローレベルの場合はダウンカウントしていく。

【0127】

スイッチ SW5 は、オフセットキャンセルが収束する十分な時間が経つまでの間、加減算回路 452 から出力される演算値をそのまま加算器 420 に与える。当初、加算器に与えられる補正値は“0”であるため、1.7 V の入力は、D/A 変換器 500 a（500 b）にそのまま与えられる。D/A 変換器 500 a（500 b）の変換出力は、コンパレータ 400 の反転端子に与えられる。コンパレータ 400 の非反転端子には基準電圧 V_{ref} （ここでは 2 V とする）が与えられている。

【0128】

ここで、 A^- が 1.71 V であったと仮定した場合、コンパレータ 400 には V_{ref} との差分である -0.29 V のオフセットが保持されている。そのため、非反転端子の電位からオフセットが付いているため、 $2\text{ V} - 0.29\text{ V} = 1.71\text{ V}$ と比較していることになる。ここで A^+ が 1.69 V であった場合、非反転端子の方が見かけ上高くなるため、コンパレータ 400 の出力はハイレベルであり、ゆえに、加減算回路 452 の演算値は加算器 420 に与えられ、入力信号に加算される。

【0129】

同様な動作が繰り返され、D/A変換器500a(500b)の出力が V_{ref} (2V)+オフセット(-0.29V)=1.71Vを超えると、コンパレータ400の出力はローレベルに反転する。その結果、1.71Vで加算と減算を繰り返し、1.71Vで収束する。また、その時点のカウンタ出力は1/2回路443で1/2の値に変換されラッチ444に保持され、加算器420に入力される。また、この時、スイッチSW5はa端子側に切り替わるため、この時点を見計らって、加減算回路452の出力は1/2回路453で1/2の値に変換されてラッチ454に保持される。

【0130】

つまり、演算した値の半分しかA+は補正されなくなるため、 $(1.71V + 1.69V)/2 = 1.70V$ となってしまう。しかし、A-もA+の補正分 $(1.70V - 1.69V = +0.01V)$ とは逆補正される。すなわち、A-は $1.71V - (+0.01V) = 1.70V$ となり、A+と同一電位となる。この結果、D/A変換器500a(500b)の差動出力は、正負ともに、1.70Vに統一され、オフセットがキャンセルされる。

【0131】

ここで、A-の電圧がA+より低かった場合、つまり $A- = 1.65V$ 、 $A+ = 1.71V$ のような場合でも、同様の動作が行えるため、あえて0V等の低いデータを与える必要はなく、結果としてオフセット誤差分の調整時間のみで済む。

【0132】

本実施の形態によれば、カウンタ442のカウント値を1/2して最終的にラッチ444にラッチするため、A+とA-は必ず反転の関係しか出せない電流加算型D/A変換器500a(500b)を用いた場合も、符号関係を逆にしてA+の電位と V_{ref} との差分をコンパレータに保持して、オフセットを精度良くキャンセルをすることが可能である。また、加減算回路452を用いたことにより、A-の電圧がA+より低かった場合でも同様の動作が行えるため、あえて0V等の低いデータを加算器420に与える必要はなく、結果としてオフセット誤

差分の調整時間だけで済むため、オフセットキャンセル時間を短くすることができる。

【0133】

以上、第2～第5の実施の形態はオフセット調整機能付コンパレータを使用することでコンパレータ自体のオフセットをも調整するので結果的にコンパレータのオフセットは0として扱うことが可能になり、高精度なD/A変換器500a(500b)のオフセットキャンセルを行うことができる。

【0134】

(実施の形態6)

図14は、本発明の第6の実施の形態に係るオフセット補償装置の構成を示す回路図である。但し、第2の実施の形態と同様の部分には同一符号を用いて説明する。本実施の形態の補正值生成回路460は、コンパレータ600の出力を反転させるインバータ461、カウンタ462、ラッチ463、464、加算器465、1/2回路466、加算器420への入力をカウンタ462の出力と1/2回路466の出力のいずれかに切り替えるスイッチSW5、カウンタ462の出力をラッチ463、464のいずれかに切り替えて入力するスイッチSW6、カウンタ462への入力をコンパレータ600の出力とその反転出力のいずれかに切り替えるスイッチSW7を有しており、また、コンパレータ600として上記の実施の形態1で説明したオフセット調整機能付コンパレータを使用せず、通常の比較測定動作時にオフセットがあるコンパレータ使用している以外、他の構成は図10に示す第1の実施の形態と同様である。

【0135】

D/A変換器500a(500b)のオフセットをキャンセルするのに先立ち、コンパレータ600の入力段に設けられているスイッチSW4をa端子側に切り替えて、スイッチSW4と連動するスイッチSW6、SW7もa端子側に切り替える。しかし、スイッチSW5はb端子側に切り替える。

【0136】

ここで、コンパレータ600は非反転端子に接続されているVrefと反転端子に接続されているD/A変換器500a(500b)の差動出力(負)とを比

較し、A-のオフセットキャンセルを行う。その結果はラッチ463で保持される。

【0137】

次に、スイッチSW4、SW6及びSW7をb端子側に切り替える。このとき、コンパレータ600は非反転端子に接続されているVrefと反転端子に接続されているD/A変換器500a（500b）の差動出力（正）とを比較し、A+のオフセットキャンセルを行う。その結果はラッチ464で保持される。

【0138】

この一連の動作の後、スイッチSW5をa端子側へ切り替えると共に、ラッチ463とラッチ464の値を加算器465で加算し、加算結果を1/2回路466で1/2の値にした後、加算器420に入力する。

【0139】

つまり、D/A変換器500a（500b）の入出力にオフセットがある場合には、そのオフセットを打ち消すような補正值が、補正值生成回路460から出力され、加算器420において、その補正值が入力信号に与えられる。

【0140】

以下、その動作の概要を説明する。最初、加算器420に、例えば、1.7Vの直流信号に相当するデータを入力する。このとき、1.7Vのデータ入力と同期して、カウンタ462がアップカウントしていく。スイッチSW5は、コンパレータ600の出力がローレベルになるまでの間、カウンタ462から出力される演算値をそのまま、加算器420に与える。

【0141】

当初、加算器に与えられる補正值は“0”であるため、1.7Vの入力は、D/A変換器500a（500b）にそのまま与えられる。D/A変換器500a（500b）の変換出力は、コンパレータ600の反転端子に与えられる。コンパレータ600の非反転端子には基準電圧Vref（ここでは2Vとする）が与えられている。

【0142】

ここで、A-が2.05Vであったと仮定した場合、コンパレータ600はV

r e f より高いと判断し、出力はローレベルとなる。スイッチ S W 7 は a 端子側に接続されているので、コンパレータ 6 0 0 の出力はインバータ 4 6 1 で反転されてハイレベルとなり、カウンタ 4 6 2 に入力される。

【0143】

これにより、カウンタ 4 6 2 はアップカウントし、カウント値はスイッチ S W 5 を通り加算器 4 2 0 で値を加算される。D/A変換器 5 0 0 a (5 0 0 b) は電流加算型 D/A 等のような差動出力 (正) A + と差動出力 (負) A - が必ず反転の関係にある D/A を想定すると、A - は値が加算された分、オフセットが減少する。すなわち、2. 0 5 V が減少していく。

【0144】

そして、コンパレータ 6 0 0 がローレベルとなる値、すなわち、A - が V r e f より低くなるまで繰り返される。ここでカウンタ 4 6 2 の増分 1 に対し、D/A変換器 5 0 0 a (5 0 0 b) のアナログ出力が 0. 0 2 V とした場合、カウンタ 4 6 2 が 3 カウントした時点でこの一連の動作は終了する。終了した時点でのカウント値 3 をラッチ 4 6 3 で保持する。

【0145】

次にスイッチ S W 4、S W 6 及び S W 7 を b 端子側へ接続する。そして、上記と同一の動作を行う。ここで、A + が 1. 8 9 V だと仮定した場合、コンパレータ 6 0 0 は V r e f より低いと判断し、出力はハイレベルとなる。スイッチ S W 7 は b 端子側に接続されているので、コンパレータ 6 0 0 の出力はそのままハイレベルとなり、カウンタ 4 6 2 に入力され、カウンタ 4 6 2 はアップカウントし、そのカウント値がスイッチ S W 5 を通り、加算器 4 2 0 で値を加算される。

【0146】

D/A変換器 5 0 0 a (5 0 0 b) の差動出力 (正) A + は値が加算された分、オフセットが増加する。すなわち、1. 8 9 V が増加していく。そして、コンパレータ 6 0 0 がローレベルとなる値、すなわち、A + が V r e f より高くなるまで繰り返される。ここでカウンタ 4 6 2 の増分 1 に対し、D/A変換器 5 0 0 a (5 0 0 b) のアナログ出力が 0. 0 2 V とした場合、カウンタ 4 6 2 が 6 カウントした時点でこの一連の動作は終了し、終了した時点でのカウント値 6 がラ

ッチ 464 で保持される。

【0147】

次にスイッチ SW5 を a 端子側へ接続すると共に、ラッチ 463、464 に拉致された値を加算器 465 で加算し、加算値を 1/2 回路 466 で 1/2 して補正值とし、この補正值を加算器 420 に入力する。例えば、ラッチ 463 の値 3 とラッチ 464 の値 6 を加算器 465 で加算する。加算した値は 9 となり、1/2 回路 466 で 1/2 にされ、補正值としては 4 となる。補正值は加算器 420 で入力信号に加算される。ここで D/A 変換器 500 a (500 b) の差動出力 (正) A+ は補正され、1.97 V となり、差動出力 (負) A- も 1.97 V となり、オフセットがキャンセルされる。

【0148】

さて、本実施の形態では、通常のコンパレータ 600 を用いるため、コンパレータ 600 自体にもオフセット誤差を持つ。以下にコンパレータ 600 にオフセット誤差があった場合の説明をする。

【0149】

最初、加算器 420 に、例えば、1.7 V の直流信号に相当するデータを入力する。このとき、1.7 V のデータ入力と同期して、カウンタ 462 がアップカウントしていく。スイッチ SW5 は、コンパレータ 600 の出力がローレベルになるまでの間、カウンタ 462 から出力される演算値をそのまま、加算器 420 に与える。

【0150】

当初、加算器 420 に与えられる補正值は“0”であるため、1.7 V の入力 は、D/A 変換器 500 a (500 b) にそのまま与えられる。D/A 変換器 500 a (500 b) の変換出力は、コンパレータ 600 の反転端子に与えられる。コンパレータ 600 の非反転端子には基準電圧 V_{ref} (ここでは 2 V とする) が与えられている。

【0151】

ここで、コンパレータのオフセットが -0.10 V であった場合を仮定する。A- が 2.05 V であったとした場合、コンパレータ 600 は $V_{ref} - 0.1$

0 V = 1.90 V と比較を行うため、A- が 1.90 V より高いと判断し、出力はローレベルとなる。

【0152】

スイッチ SW7 は a 端子側に接続されているので、コンパレータ 600 の出力はハイレベルとなり、カウンタ 462 に入力される。このためカウンタ 462 はアップカウントし、カウント値がスイッチ SW5 を通って加算器 420 で I (Q) に加算される。

【0153】

D/A 変換器 500 a (500 b) は電流加算型 D/A 等のような差動出力 (正) A+ と差動出力 (負) A- が必ず反転の関係にある D/A を想定すると、A- は値が加算された分、オフセットが減少する。すなわち、2.05 V が減少していく。そして、コンパレータ 600 がローレベルとなる値、すなわち、A- が 1.90 V より低くなるまで繰り返される。ここでカウンタ 462 の増分 1 に対し、D/A 変換器 500 a (500 b) のアナログ出力が 0.02 V とした場合、カウンタ 462 が 8 カウントした時点でこの一連の動作は終了する。終了した時点でそのカウント値 8 をラッチ 463 で保持する。

【0154】

次にスイッチ SW4、SW6 及び SW7 を b 端子側へ接続する。そして、上記と同一の動作を行う。ここで、A+ が 1.89 V だと仮定した場合、コンパレータ 600 は 1.90 V より低いと判断し、出力はハイレベルとなる。スイッチ SW7 は b 端子側に接続されているので、コンパレータ 600 の出力はそのままハイレベルとなり、カウンタ 462 に入力される。ここでアップカウントされ、カウント値がスイッチ SW5 を通り加算器 420 で I (Q) に加算される。

【0155】

D/A 変換器 500 a (500 b) の差動出力 (正) A+ は値が加算された分、オフセットが増加する。すなわち、1.89 V が増加していく。そして、コンパレータ 600 がローレベルとなる値、すなわち、A+ が 1.90 V より高くなるまで繰り返される。ここでカウンタ 462 の増分 1 に対し、D/A 変換器 500 a (500 b) のアナログ出力が 0.02 V とした場合、カウンタ 462 が 1

カウントした時点でこの一連の動作は終了する。終了した時点でそのカウント値 1 をラッチ 464 で保持する。

【0156】

次にスイッチ SW5 を a 端子側へ接続し、補正値を加算器 420 に入力する。その補正値はラッチ 463 及びラッチ 464 で保持されたデータを用いる。つまりラッチ 463 の値 8 とラッチ 464 の値 1 を加算器 465 で加算する。加算した値は 9 となり、1/2 回路 466 で 1/2 にされ、補正値としては 4 となる。補正値は加算器 420 で加算される。ここで D/A 変換器 500a (500b) の差動出力 (正) A+ は補正され、1.97V となり、差動出力 (負) A- も 1.97V となり、オフセットがキャンセルされる。

【0157】

本実施の形態によれば、コンパレータ 600 のオフセットは適当な値 V_{ref} が誤差を持つが A+ 及び A- の比較対象として、一定であれば、絶対値は関係ないことを意味し、従って、上記のような演算を行うことでコンパレータ 600 のオフセットも悪影響しなくなり、通常のコパレータを用いて D/A 変換器 500a (500b) のオフセットキャンセル精度を高くすることができる。

【0158】

なお、上記実施の形態では、A+ は必ず V_{ref} + コンパレータ 600 のオフセット分以上低くする必要がある (A- は逆に V_{ref} + コンパレータ 600 のオフセット分以上に高くする必要がある。) つまり、初期データとして 1.7V のデータを与えるよりも十分なマージンを考慮して 0V 等の低いデータを与える必要があり、オフセットキャンセル時間が多く必要となる。

【0159】

(実施の形態 7)

図 15 は、本発明の第 7 の実施の形態に係るオフセット補償装置の構成を示す回路図である。但し、図 10 に示す第 2 の実施の形態と同様部分には同一符号を付して説明する。本実施の形態の補正値生成回路 470 は、コンパレータ 600 の出力を反転させるインバータ 471、加減算回路 (アップダウンカウンタ) 472、ラッチ 473、474、加算器 475、1/2 回路 476、加算器 420

への入力をカウンタ 472 の出力と 1/2 回路 476 の出力のいずれかに切り替えるスイッチ SW5、加減算回路 472 の出力をラッチ 463、464 のいずれかに切り替えて入力するスイッチ SW6、カウンタ 462 への入力をコンパレータ 600 の出力とその反転出力のいずれかに切り替えるスイッチ SW7 を有しており、また、コンパレータ 600 として上記の実施の形態 1 で説明したオフセット調整機能付コンパレータを使用せず、通常のコンパレータ使用している以外、他の構成は図 10 に示す第 1 の実施の形態と同様である。

【0160】

D/A 変換器 500a (500b) のオフセットをキャンセルするのに先立ち、コンパレータ 600 の入力段に設けられているスイッチ SW4 を a 端子側に切り替えて、スイッチ SW4 と連動するスイッチ SW6 とスイッチ SW7 も a 端子へ接続する。また、スイッチ SW5 は b 端子へ接続する。これにより、コンパレータ 600 は非反転端子に接続されている V_{ref} と反転端子に接続されている D/A 変換器 500a (500b) の差動出力 (負) とを比較し、A- のオフセットキャンセルを行う。その結果はラッチ 473 で保持される。

【0161】

次に、スイッチ SW4、SW6 及び SW7 を b 側に切り替える。このとき、コンパレータ 600 は非反転端子に接続されている V_{ref} と反転端子に接続されている D/A 変換器 500a (500b) の差動出力 (正) とを比較し、A+ のオフセットキャンセルを行う。その結果はラッチ 474 で保持される。

【0162】

この一連の動作の後、スイッチ SW5 を a 端子側へ切り替え、ラッチ 473 とラッチ 474 の値を加算器 475 で演算し、1/2 回路 476 で 1/2 の値にして、加算器 420 に入力する。つまり、D/A 変換器 500a (500b) の入出力にオフセットがある場合には、そのオフセットを打ち消すような補正值が、補正值生成回路 470 から出力され、加算器 420 において、その補正值が入力信号に与えられる。以下、その動作の概要を説明する。

【0163】

最初、加算器 420 に、例えば、1.7V の直流信号に相当するデータを入力

する。このとき、1.7Vのデータ入力と同期して、加減算回路472がコンパレータ600の出力がハイレベルの場合はアップカウント、ローレベルの場合はダウンカウントしていく。

【0164】

スイッチSW5は、オフセットキャンセル動作が十分収束する間、加減算回路472から出力される演算値をそのまま加算器420に与える。当初、加算器に与えられる補正值は“0”であるため、1.7Vの入力は、D/A変換器500a(500b)にそのまま与えられる。

【0165】

D/A変換器500a(500b)の変換出力は、コンパレータ600の反転端子に与えられる。コンパレータ600の非反転端子には基準電圧Vref(ここでは2Vとする)が与えられている。

【0166】

A-が1.89Vであったと仮定した場合、コンパレータ600はVrefより低いと判断し、出力はハイレベルとなる。スイッチSW7はa端子側に接続されているので、コンパレータ600の出力はローレベルとなり、加減算回路472に inputs され、ここでダウンカウントされ、スイッチSW5を通り加算器420で値を加算される。

【0167】

D/A変換器500a(500b)は電流加算型D/A等のような差動出力(正)A+と差動出力(負)A-が必ず反転の関係にあるD/Aを想定すると、A-は値が加算された分、オフセットが減少する。すなわち、ダウンカウントでは加減算回路472の値がマイナスとなるため、1.89Vが増加していく。そして、コンパレータ600がハイレベルとなる値、すなわち、A-がVrefより高くなるまでダウンカウントされる。

【0168】

ここで加減算回路472の増分1に対し、D/A変換器500a(500b)のアナログ出力が0.02Vとした場合、カウンタ462が-6カウントした時点でコンパレータ600の出力がローレベルとなるため、加減算回路472がア

アップカウントする。すなわち、加減算回路 472 の値が -6、あるいは -5 で繰り返し、ある一定時間経ったところで一連の動作を終了する。終了した時点でそのカウント値 -6 あるいは -5 をラッチ 463 で保持する。

【0169】

次にスイッチ SW4、SW6 及び SW7 を b 端子側へ接続する。そして、上記と同一の動作を行う。ここで、A+ が 2.05V だと仮定した場合、コンパレータ 600 は V_{ref} より高いと判断し、出力はローレベルとなる。スイッチ SW7 は b 端子側に接続されているので、コンパレータ 600 の出力はそのままローレベルとなり、加減算回路 472 に入力される。ここでダウンカウントされ、スイッチ SW5 を通り加算器 420 で値を加算される。

【0170】

D/A 変換器 500a (500b) の差動出力 (正) A+ は値が加算された分、オフセットが増加する。ダウンカウントでは加減算回路 472 の値がマイナスとなるため、2.05V が減少していく。そして、コンパレータ 600 がハイレベルとなる値、すなわち、A+ が V_{ref} より低くなるまで繰り返される。

【0171】

ここで加減算回路 472 の増分 1 に対し、D/A 変換器 500a (500b) のアナログ出力が 0.02V とした場合、加減算回路 462 が -3 カウントした時点でコンパレータ 600 の出力がハイレベルとなるため、加減算回路 472 がアップカウントする。すなわち、加減算回路 472 の値が -3 あるいは -2 で繰り返し、ある一定時間経ったところで一連の動作を終了する。終了した時点でそのカウント値 -3 あるいは -2 をラッチ 474 で保持する。

【0172】

次にスイッチ SW5 を a 端子側へ接続し、補正値を加算器 420 に入力する。その補正値はラッチ 473 及びラッチ 474 で保持されたデータを用いる。つまりラッチ 473 の値 -6 あるいは -5 とラッチ 474 の値 -3 あるいは -2 を加算器 475 で加算する。加算した値は -9、-8、あるいは -7 となり、1/2 回路 476 で 1/2 にされ、補正値としては -4 あるいは -3 となる。補正値は加算器 420 で加算される。

【0173】

ここでD/A変換器500a(500b)の差動出力(正)A+は補正され、1.97Vあるいは1.99Vとなり、差動出力(負)A-も1.97Vあるいは1.95Vとなり、オフセットがキャンセルされるが、誤差としては最悪D/A変換器500a(500b)のアナログ出力(0.02Vステップ)の2倍持つことになる。

【0174】

本実施の形態によれば、A-の電圧がA+より低かった場合、つまりA-=1.65V、A+=1.71Vのような場合でも、加減算回路432がダウンカウンタとして同様の動作が行えるため、あえて0V等の低いデータを与える必要はなく、結果としてオフセット誤差分の調整時間のみで済み、前実施の形態よりもオフセットキャンセル時間を短くすることができる。

【0175】

(実施の形態8)

図16は、本発明の第7の実施の形態に係るオフセット補償装置の構成を示す回路図である。但し、図10に示す第2の実施の形態と同様部分には同一符号を付して説明する。本実施の形態の補正值生成回路480は、コンパレータ600の出力を反転させるインバータ481、加減算回路(アップダウンカウンタ)482、ラッチ483、484、加算器485、1/2回路486、コンパレータ600の立上り及び立ち下がりエッジを検出するエッジ検出回路487、加算器420への入力をカウンタ482の出力と1/2回路486の出力のいずれかに切り替えるスイッチSW5、加減算回路482の出力をラッチ463、464のいずれかに切り替えて入力するスイッチSW6、カウンタ462への入力をコンパレータ600の出力とその反転出力のいずれかに切り替えるスイッチSW7を有しており、また、コンパレータ600として上記の実施の形態1で説明したオフセット調整機能付コンパレータを使用せず、通常のコンパレータを使用している以外、他の構成は図10に示す第1の実施の形態と同様である。

【0176】

D/A変換器500a(500b)のオフセットをキャンセルするのに先立ち

、コンパレータ 600 の入力段に設けられているスイッチ SW4 を a 端子側に切り替えて、スイッチ SW4 と連動するスイッチ SW6 とスイッチ SW7 も a 端子へ接続する。また、スイッチ SW5 は b 端子へ接続する。

【0177】

ここで、コンパレータ 600 は非反転端子に接続されている V_{ref} と反転端子に接続されている D/A 変換器 500 a (500 b) の差動出力 (負) とを比較し、A- のオフセットキャンセルを行う。その結果はラッチ 483 で保持される。

【0178】

次に、スイッチ SW4、SW6 及び SW7 を b 側に切り替える。このとき、コンパレータ 600 は非反転端子に接続されている V_{ref} と反転端子に接続されている D/A 変換器 500 a (500 b) の差動出力 (正) とを比較し、A+ のオフセットキャンセルを行う。その結果はラッチ 484 で保持される。

【0179】

この一連の動作の後、スイッチ SW5 を a 端子側へ切り替え、ラッチ 483 とラッチ 484 の値を加算器 485 で演算し、1/2 回路 486 で 1/2 の値にして加算器 420 に入力する。つまり、D/A 変換器 500 a (500 b) の入出力にオフセットがある場合には、そのオフセットを打ち消すような補正值が、補正值生成回路 480 から出力され、加算器 420 において、その補正值が入力信号に与えられる。

【0180】

以下、その動作の概要を説明する。最初、加算器 420 に、例えば、1.7V の直流信号に相当するデータを入力する。このとき、1.7V のデータ入力と同期して、加減算回路 482 はコンパレータ 600 の出力がハイレベルの場合はアップカウント、ローレベルの場合はダウンカウントして行く。

【0181】

スイッチ SW5 は、オフセットキャンセル動作が十分収束する間、加減算回路 482 から出力される演算値をそのまま、加算器 420 に与える。当初、加算器に与えられる補正值は“0”であるため、1.7V の入力、D/A 変換器 500

0 a (500 b) にそのまま与えられる。

【0182】

D/A変換器500 a (500 b) の変換出力は、コンパレータ600の反転端子に与えられる。コンパレータ600の非反転端子には基準電圧V r e f (ここでは2 Vとする) が与えられている。

【0183】

ここで、A-が1. 89 Vであったと仮定した場合、コンパレータ600はV r e f より低いと判断し、出力はハイレベルとなる。スイッチSW7はa端子側に接続されているので、コンパレータ600の出力はローレベルとなり、加減算回路482に入力される。ここでダウンカウントされ、スイッチSW5を通り加算器420で値を加算される。

【0184】

D/A変換器500 a (500 b) は電流加算型D/A等のような差動出力(正) A+と差動出力(負) A-が必ず反転の関係にあるD/Aを想定すると、A-は値が加算された分、オフセットが減少する。すなわち、ダウンカウントでは加減算回路482の値がマイナスとなるため、1. 89 Vが増加していく。そして、コンパレータ600がハイレベルとなる値、すなわち、A-がV r e f より高くなるまでダウンカウントされる。

【0185】

ここで、加減算回路482の増分1に対し、D/A変換器500 a (500 b) のアナログ出力が0. 02 Vとした場合、カウンタ462が-6カウントした時点でコンパレータ600の出力がローレベルとなるため、加減算回路472がアップカウントする。

【0186】

すなわち、加減算回路472の値が-6、あるいは-5で繰り返し、ある一定時間経ったところで一連の動作を終了するが、終了するタイミングはエッジ検出回路487でコンパレータ600の立上りエッジを検出して終了する。このため、加減算回路482は最後にアップカウントを行い終了するので、終了した時点でカウント値-5がラッチ483で保持される。

【0187】

次にスイッチSW4、SW6及びSW7をb端子側へ接続する。そして、上記と同一の動作を行う。A+が2.05Vだと仮定した場合、コンパレータ600はVrefより高いと判断し、出力はローレベルとなる。スイッチSW7はb端子側に接続されているので、コンパレータ600の出力はそのままローレベルとなり、加減算回路482に入力される。ここでダウンカウントされ、スイッチSW5を通り加算器420で値を加算される。

【0188】

D/A変換器500a(500b)の差動出力(正)A+は値が加算された分、オフセットが増加する。ダウンカウントでは加減算回路482の値がマイナスとなるため、2.05Vが減少していく。そして、コンパレータ600がハイレベルとなる値、すなわち、A+がVrefより低くなるまで繰り返される。

【0189】

ここで加減算回路482の増分1に対し、D/A変換器500a(500b)のアナログ出力が0.02Vとした場合、加減算回路462が-3カウントした時点でコンパレータ600の出力がハイレベルとなるため、加減算回路472がアップカウントする。

【0190】

すなわち、加減算回路472の値が-3あるいは-2で繰り返し、ある一定時間経ったところで一連の動作を終了するが、終了するタイミングはエッジ検出回路487でコンパレータ600の立下りエッジを検出して終了する。このため、加減算回路482は最後にダウンカウントを行い終了するので、終了した時点でカウント値-3をラッチ484で保持する。

【0191】

次にスイッチSW5をa端子側へ接続し、補正値を加算器420に入力する。その補正値はラッチ483及びラッチ484で保持されたデータを用いる。つまりラッチ483の値-5とラッチ484の値-3を加算器485で加算する。加算した値は-8となり、1/2回路486で1/2にされ、補正値としては-4となる。補正値は加算器420で加算される。

【0192】

ここでD/A変換器500a(500b)の差動出力(正)A+は補正され、1.97Vとなり、差動出力(負)A-も1.97Vとなり、オフセットがキャンセルされる。この際、A+とA-が反転出力であることに着目し、ラッチ483あるいはラッチ484で保持する値も反転(例えば、A-は小さい方の値、A+は大きい方の値を保持する)させれば、コンパレータ600のオフセットによる誤差は相殺され、オフセットキャンセル精度が向上される。

【0193】

本実施の形態によれば、加減算回路482の演算をエッジ検出回路487でコンパレータ600の立下りエッジを検出して終了するため、ラッチ483、484に最終的にラッチされる値のばらつきをなくすことができ、D/A変換器500a(500b)のオフセットキャンセル時間を短縮することができると共に、その誤差を低減して、オフセットキャンセル精度を第6の実施の形態と同様にすることができる。

【0194】

(実施の形態9)

図17は、本発明の第9の実施の形態に係るオフセット補償装置の構成を示す回路図である。但し、図14に示す第6の実施の形態と同様部分には同一符号を付して説明する。本実施の形態の補正值生成回路490にて、1/2回路476がカウンタ492とスイッチSW6との間に挿入されている以外その構成は、図14に示す第6の実施の形態と同一である。

【0195】

本実施の形態の補正值生成回路490と第6の実施の形態の補正值生成回路460の構成は1/2回路の挿入位置が異なるだけで、その動作は同様であるため、本実施の形態の全体の動作も第6の実施の形態と同様で同様の効果がある。

【0196】

(実施の形態10)

図18は、本発明の第10の実施の形態に係るオフセット補償装置の構成を示す回路図である。但し、図15に示す第7の実施の形態と同様部分には同一符号

を付して説明する。本実施の形態の補正值生成回路 700 にて、1/2 回路 703 が加減算回路 702 とスイッチ SW6 との間に挿入されている以外、その構成は図 15 に示す第 7 の実施の形態と同一である。

【0197】

本実施の形態の補正值生成回路 700 と第 7 の実施の形態の補正值生成回路 470 の構成は 1/2 回路の挿入位置が異なるだけで、その動作は同様であるため、本実施の形態の全体の動作も第 7 の実施の形態と同様で同様の効果がある。

【0198】

(実施の形態 11)

図 19 は、本発明の第 11 の実施の形態に係るオフセット補償装置の構成を示す回路図である。但し、図 14 に示す第 6 の実施の形態と同様部分には同一符号を付して説明する。本実施の形態の補正值生成回路 710 にて、1/2 回路 715 がラッチ 713 と加算器 717 との間に挿入され、1/2 回路 716 がラッチ 714 と加算器 717 との間に挿入されている以外その構成は、図 14 に示す第 6 の実施の形態と同一である。

【0199】

本実施の形態の補正值生成回路 710 は、第 6 の実施の形態の補正值生成回路 460 の構成に対して、差動出力の負側の補正值生成系統と差動出力の正側の補正值生成系統に分けて 1/2 回路を挿入した構成であり、1/2 回路の個数は増えるがその動作は第 6 の実施の形態の補正值生成回路 460 と同様で、本実施の形態の全体の動作も第 6 の実施の形態と同様で同様の効果がある。

【0200】

(実施の形態 12)

図 20 は、本発明の第 12 の実施の形態に係るオフセット補償装置の構成を示す回路図である。但し、図 15 に示す第 2 の実施の形態と同様部分には同一符号を付して説明する。本実施の形態の補正值生成回路 720 にて、1/2 回路 723 がラッチ 725 と加算器 727 との間に挿入され、1/2 回路 726 がラッチ 724 と加算器 727 との間に挿入されている以外その構成は、図 15 に示す第 7 の実施の形態と同一である。

【0201】

本実施の形態の補正值生成回路 720 は、第 7 の実施の形態の補正值生成回路 470 の構成に対して、差動出力の負側の補正值生成系統と差動出力の正側の補正值生成系統に分けて 1/2 回路を挿入した構成であり、1/2 回路の個数は増えるがその動作は第 7 の実施の形態の補正值生成回路 470 と同様で、本実施の形態の全体の動作も第 7 の実施の形態と同様で同様の効果がある。

【0202】

(実施の形態 13)

図 21 は、本発明の第 13 の実施の形態に係るオフセット補償装置の構成を示す回路図である。但し、図 14 に示す第 6 の実施の形態と同様部分には同一符号を付して説明する。本実施の形態の補正值生成回路 730 は、カウンタ 732、ラッチ 733、734、加算器 735、1/2 回路 736、加算器 420 への入力をカウンタ 732 の出力と 1/2 回路 736 の出力のいずれかに切り替えるスイッチ SW5、カウンタ 732 の出力をラッチ 733、734 のいずれかに切り替えて入力するスイッチ SW6 を有している。また、カウンタ 732 の出力を減算する減算器 421 と、加算器 420 の出力を切り替えて D/A 変換器 500a (500b) の入力するスイッチ SW8 を有し、コンパレータ 600 として第 1 の実施の形態で説明したオフセット調整機能付コンパレータを使用せず、通常の比較測定動作にオフセットがあるコンパレータ使用している。他の構成は図 14 に示す第 6 の実施の形態と同様である。

【0203】

D/A 変換器 500a (500b) のオフセットをキャンセルするのに先立ち、コンパレータ 600 の入力段に設けられているスイッチ SW4 を a 端子側に切り替えて、スイッチ SW4 と連動するスイッチ SW6、SW8 を a 端子へ接続する。また、スイッチ SW5 は b 端子へ接続する。これにより、コンパレータ 600 は非反転端子に接続されている Vref と反転端子に接続されている D/A 変換器 500a (500b) の差動出力 (負) とを比較し、A- のオフセットキャンセルを行う。その結果はラッチ 733 で保持される。

【0204】

次に、スイッチSW4、SW6、SW8をb側に切り替える。このとき、コンパレータ600は非反転端子に接続されているVrefと反転端子に接続されているD/A変換器500a(500b)の差動出力(正)とを比較し、A+のオフセットキャンセルを行う。その結果はラッチ734で保持される。

【0205】

この一連の動作の後、スイッチSW5をa端子側へ切り替え、ラッチ733とラッチ734の値を加算器735で演算し、1/2回路736で1/2の値にして、加算器420に入力する。つまり、D/A変換器500a(500b)の入出力にオフセットがある場合には、そのオフセットを打ち消すような補正值が、補正值生成回路470から出力され、加算器420において、その補正值が入力信号に与えられる。

【0206】

その際、A-がVrefよりも低い場合、その場合、コンパレータ600の出力がハイレベルになって、カウンタ732がカウントアップし、減算器421はI(Q)からカウント値を減算してD/A変換器減産して500a(500b)に入力するため、A-は上昇する。A-がVrefになった時点で、カウンタ732の動作が終了すると共に、その時のカウント値がラッチ733に保存される。

【0207】

A+がVrefよりも低い場合も、コンパレータ600の出力がハイレベルになって、カウンタ732がカウントアップし、加算器420はI(Q)からカウント値を加算してD/A変換器500a(500b)に入力するため、A+は上昇する。A+がVrefになった時点で、カウンタ732の動作が終了すると共に、その時のカウント値がラッチ734に保存される。

【0208】

本実施の形態のその後の動作は図14に示す第6の実施の形態と同様で、通常のコンパレータ600を用いてD/A変換器500a(500b)のオフセットキャンセル精度を向上させることができる。

【0209】

(実施の形態 14)

図 22 は、本発明の第 14 の実施の形態に係るオフセット補償装置の構成を示す回路図である。但し、図 21 に示す第 13 の実施の形態と同様部分には同一符号を付して説明する。本実施の形態の構成は、補正值生成回路 740 の加減算回路（アップダウンカウンタ）742 が、第 13 実施の形態のカウンタに代わって使用されているだけで、他の構成は第 13 の実施の形態と同様である。

【0210】

本実施の形態によれば、補正值生成回路 740 に加減算回路 742 を用いることにより、D/A 変換器 500a（500b）のオフセットキャンセル精度を向上させると共に、オフセットキャンセル時間を短くすることができる。

【0211】

(実施の形態 15)

図 23 は、本発明の第 15 の実施の形態に係るオフセット補償装置の構成を示す回路図である。但し、図 21 に示す第 13 の実施の形態と同様部分には同一符号を付して説明する。本実施の形態の補正值生成回路 750 にて、1/2 回路 753 がカウンタ 752 とスイッチ SW6 との間に挿入されている以外その構成は、図 21 に示す第 13 の実施の形態と同一である。

【0212】

本実施の形態の補正值生成回路 750 と第 13 の実施の形態の補正值生成回路 730 の構成は 1/2 回路の挿入位置が異なるだけで、その動作は同様であるため、本実施の形態の全体の動作も第 13 の実施の形態と同様で、同様の効果がある。

【0213】

(実施の形態 16)

図 24 は、本発明の第 16 の実施の形態に係るオフセット補償装置の構成を示す回路図である。但し、図 22 に示す第 2 の実施の形態と同様部分には同一符号を付して説明する。本実施の形態の補正值生成回路 750 にて、1/2 回路 753 がカウンタ 752 とスイッチ SW6 との間に挿入されている以外その構成は、図 22 に示す第 14 の実施の形態と同一である。

【 0 2 1 4 】

本実施の形態の補正值生成回路 7 6 0 と第 1 4 の実施の形態の補正值生成回路 7 3 0 の構成は 1 / 2 回路の挿入位置が異なるだけで、その動作は同様であるため、本実施の形態の全体の動作も第 1 4 の実施の形態と同様で同様の効果がある。

【 0 2 1 5 】**【発明の効果】**

以上説明したように、請求項 1 に記載の発明によれば、差動増幅回路を演算増幅回路として動作させ、その出力の逆相信号を差動増幅回路を形成する一方のトランジスタにフィードバックすることにより比較精度を向上させることにより、簡単な回路で安価に比較精度を向上させることができる。

【 0 2 1 6 】

請求項 2 に記載の発明によれば、電子装置のオフセットの測定を比較手段側のオフセットの影響を排除して行うことにより、電子装置の高精度なオフセットキャンセルを行うことができる。

【 0 2 1 7 】

請求項 3、1 0 に記載の発明によれば、比較手段のエラー信号の収束値を簡単なカウンタで精度良く計数することができる。

【 0 2 1 8 】

請求項 4、1 1 に記載の発明によれば、比較手段のエラー信号の収束値を簡単な加減算回路で精度良く計数することにより、電子装置の高精度なオフセットキャンセルに要する時間を短縮することができる。

【 0 2 1 9 】

請求項 5 に記載の発明によれば、電子装置のオフセットの測定で得られる収束値の半分から本来必要なオフセット補正值の半分を生成し、これをオフセット補正值とすることにより、電流加算型 D / A 変換器のオフセットキャンセルも高精度に行うことができる。

【 0 2 2 0 】

請求項 6 に記載の発明によれば、電子装置のオフセットの測定を安価で比較精

度の高い比較回路で行うことにより、電子装置の高精度なオフセットキャンセルを安価に行うことができる。

【0221】

請求項7に記載の発明によれば、電子装置の反転出力信号と非反転出力信号のオフセットの測定を比較手段でそれぞれ行って得られた収束値に含まれる前記比較手段のオフセットがキャンセルされるような演算を行って補正值を求めることにより、通常の比較手段を用いて電子装置の高精度なオフセットキャンセルを安価に行うことができる。

【0222】

請求項8、9に記載の発明によれば、反転出力信号と非反転出力信号のオフセットの測定で得られた収束値を加算して前記収束値に含まれるオフセットをキャンセルすることにより、簡単な回路で通常の比較手段が持つ測定時のオフセットを排除することができる。

【0223】

請求項12に記載の発明によれば、D/A変換器の高精度なオフセットキャンセルを安価に行うことができる。

【図面の簡単な説明】

【図1】

本発明の第1の実施の形態に係る比較回路の構成を示す回路図。

【図2】

図1に示すトランジスタの構造例を示す回路図。

【図3】

第1の実施の形態の比較回路の基準電位調整動作を説明する回路図。

【図4】

第1の実施の形態の比較回路の作動対トランジスタの電流能力オフセット調整動作を説明する回路図。

【図5】

第1の実施の形態の比較回路のカレントミラーの電流オフセット調整動作を説明する回路図。

【図 6】

第 1 の実施の形態の比較回路のトランジスタ N 1 の基板電位の調整動作を説明する回路図。

【図 7】

第 1 の実施の形態の比較回路の作動回路にオフセットを与えた場合のトランジスタ N 1 の基板電位の調整動作を説明する回路図。

【図 8】

図 1 に示すトランジスタの基板電位とソース電位並びにクランプ電位の相互関係を示す図。

【図 9】

図 1 に示す比較回路の作動対を PNP トランジスタで構成した場合の回路図。

【図 10】

本発明の第 2 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【図 11】

本発明の第 3 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【図 12】

本発明の第 4 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【図 13】

本発明の第 5 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【図 14】

本発明の第 6 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【図 15】

本発明の第 7 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【図 16】

本発明の第 8 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【図 17】

本発明の第 9 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【図 18】

本発明の第 10 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【図 19】

本発明の第 11 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【図 20】

本発明の第 12 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【図 21】

本発明の第 13 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【図 22】

本発明の第 14 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【図 23】

本発明の第 15 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【図 24】

本発明の第 16 の実施の形態に係るオフセット補償装置の構成を示す回路図。

【符号の説明】

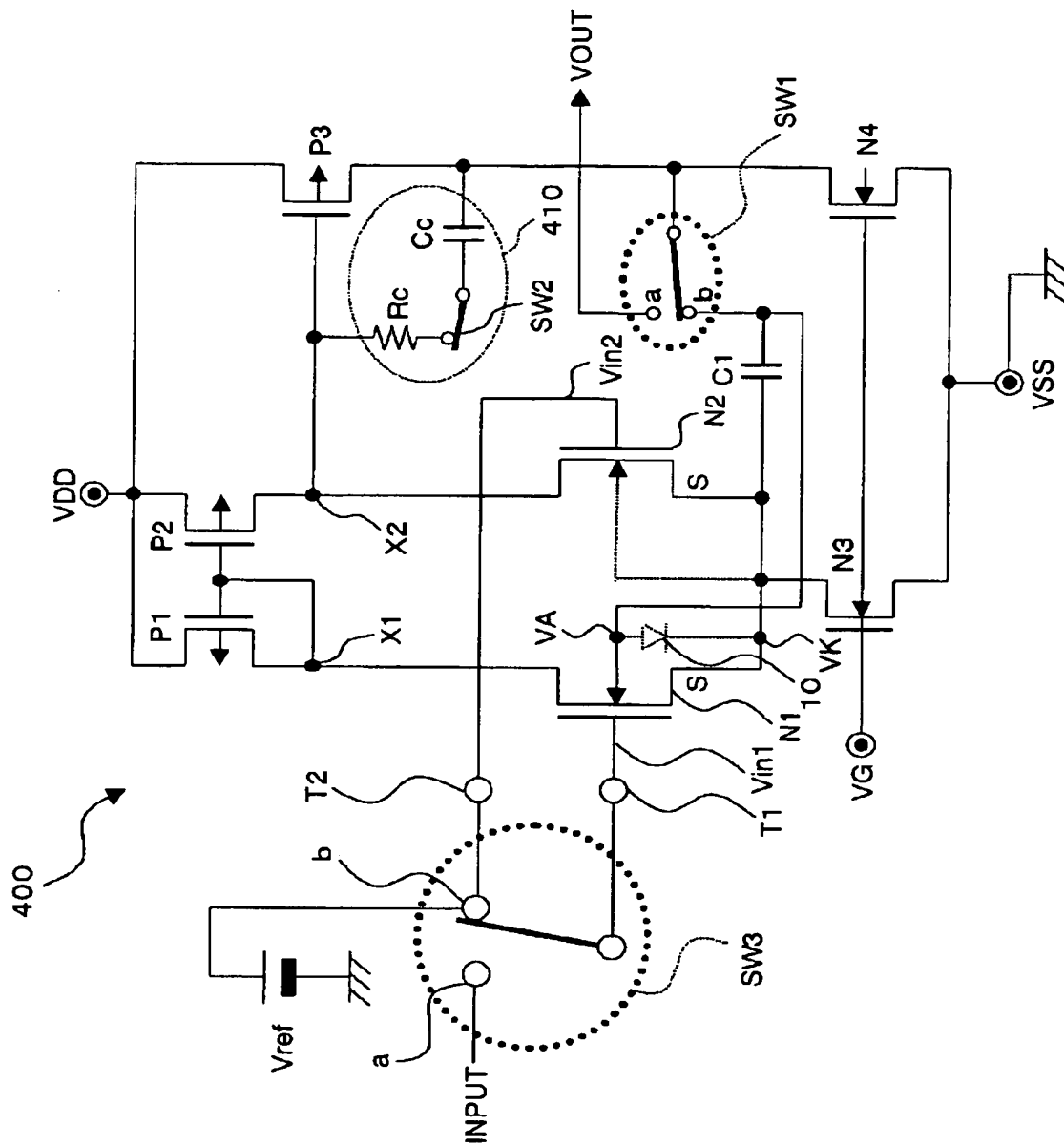
- 10 寄生ダイオード
- 11 P型基板
- 12 N型ウエル
- 14、16 P型ウエル
- 50 作動増幅回路
- 400 オフセット調整機能付コンパレータ
- 409 定電圧源
- 410 位相調整回路
- 411、430、440、450、460、470、480、490、700、710、720、730、740、750、760 補正值生成回路
- 412、442、462、492、712、732、752 カウンタ
- 420、465、475、485、496、706、717、727、735、745、756、766 加算器
- 421 減算器
- 432、452、472、482、702、722、742、762 加減算回路

434、444、454、463、464、473、474、483、48
4、494、495、704、705、713、714、723、724、73
3、734、743、744、754、755、764、765 ラッチ
443、453、466、476、486、493、703、715、71
6、725、726、736、746、763 1/2回路
461、471、481、491、701、711、721 インバータ
500a (500b) D/A変換器
600 コンパレータ
C1 コンデンサ
IS1、IS2 定電流源
N1、N2 NMOSトランジスタ
N3、N4 定電流源トランジスタ
P1、P2 負荷トランジスタ
SW1、SW2、SW3、SW4、SW5、SW6、SW7、SW10 ス
イッチ

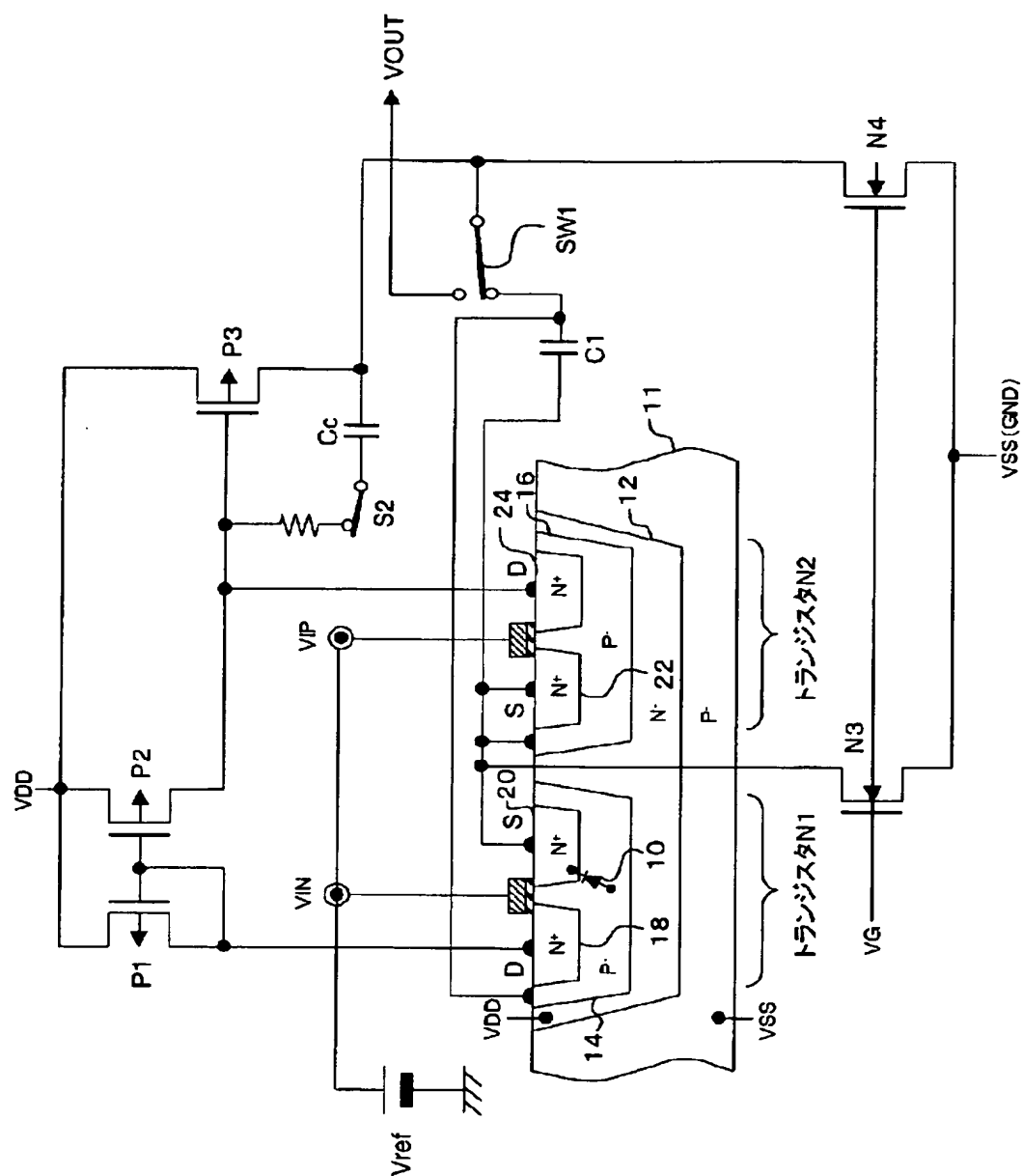
【書類名】

図面

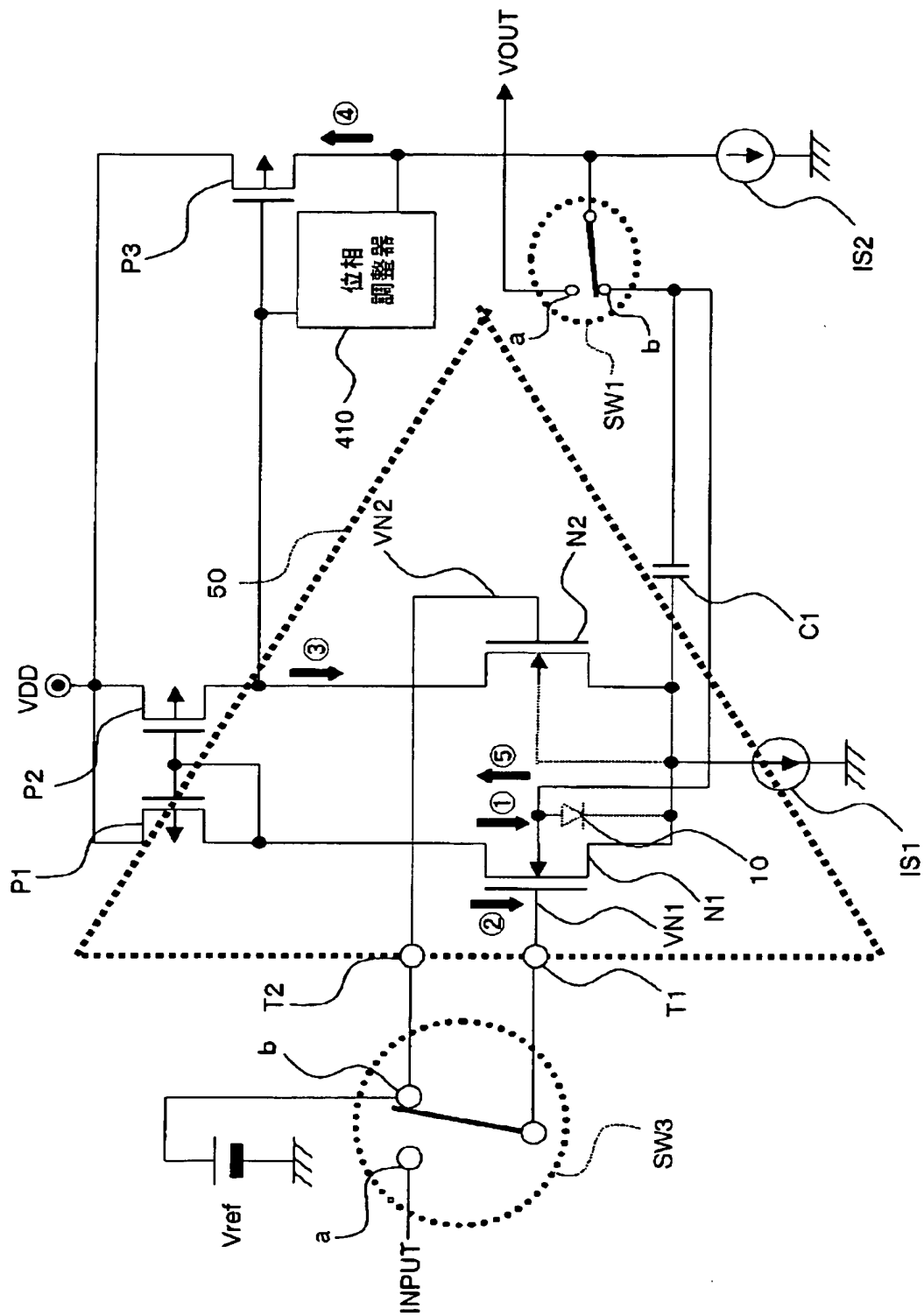
【図 1】



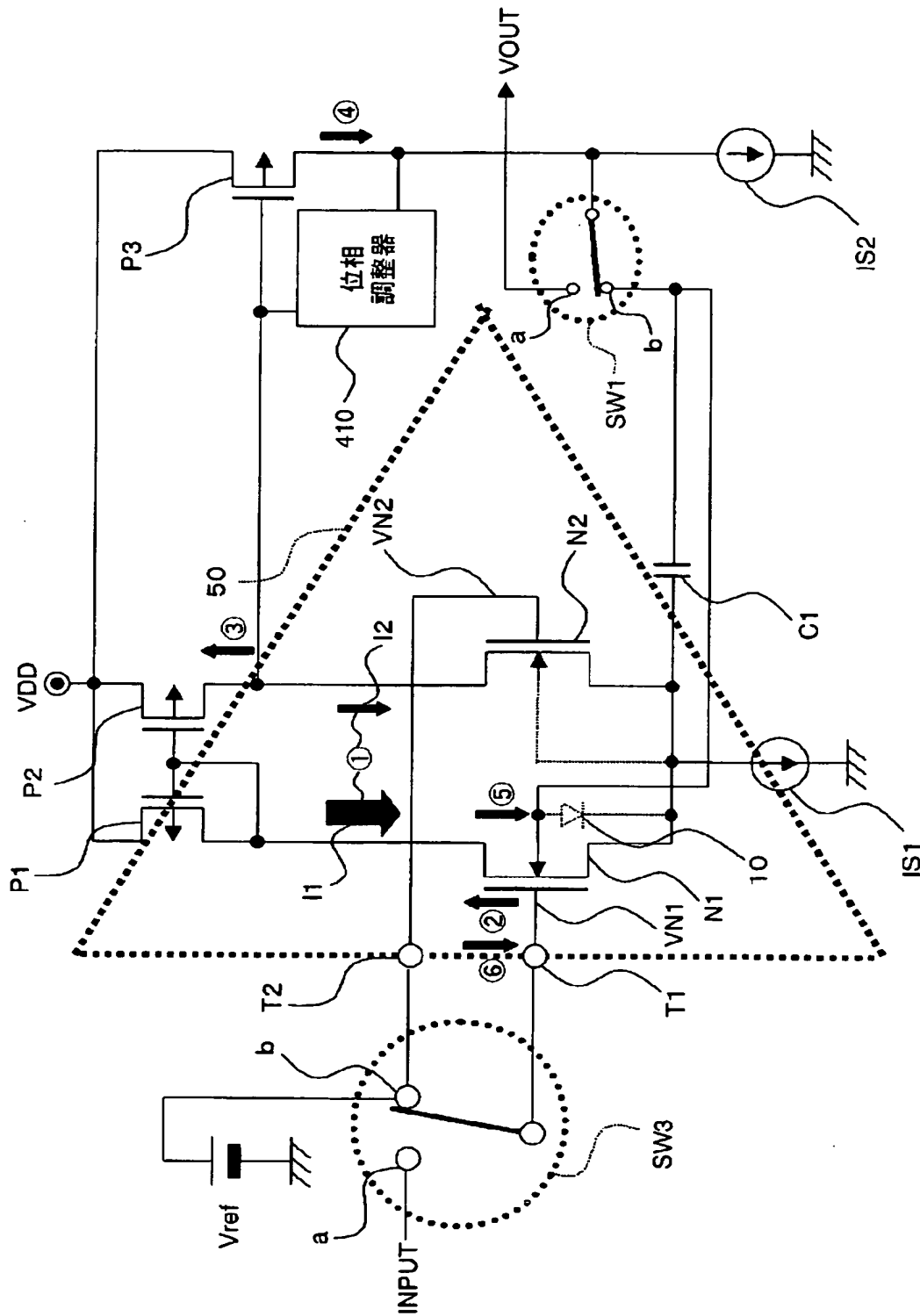
【圖 2】



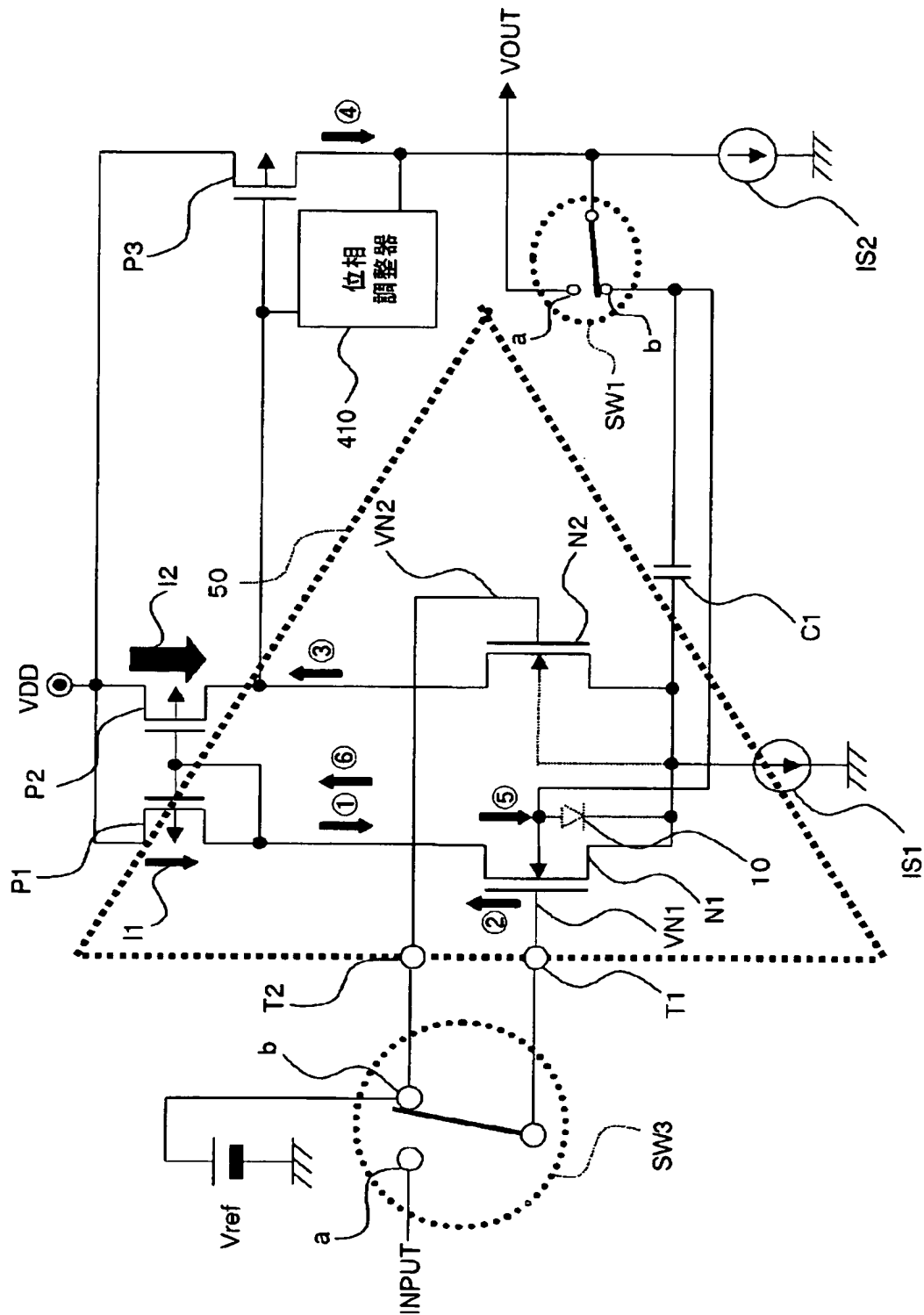
【図 3】



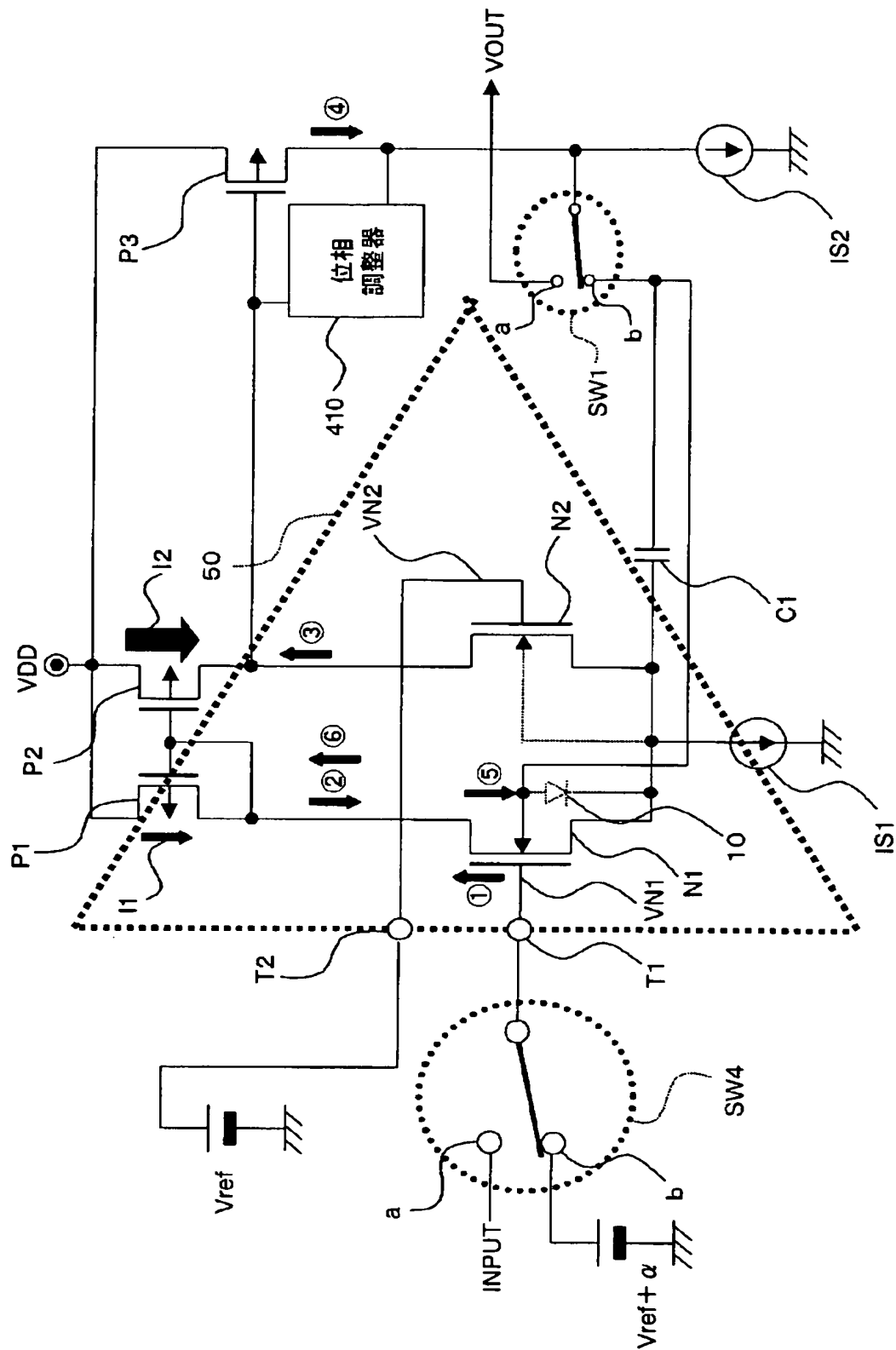
【図 4】



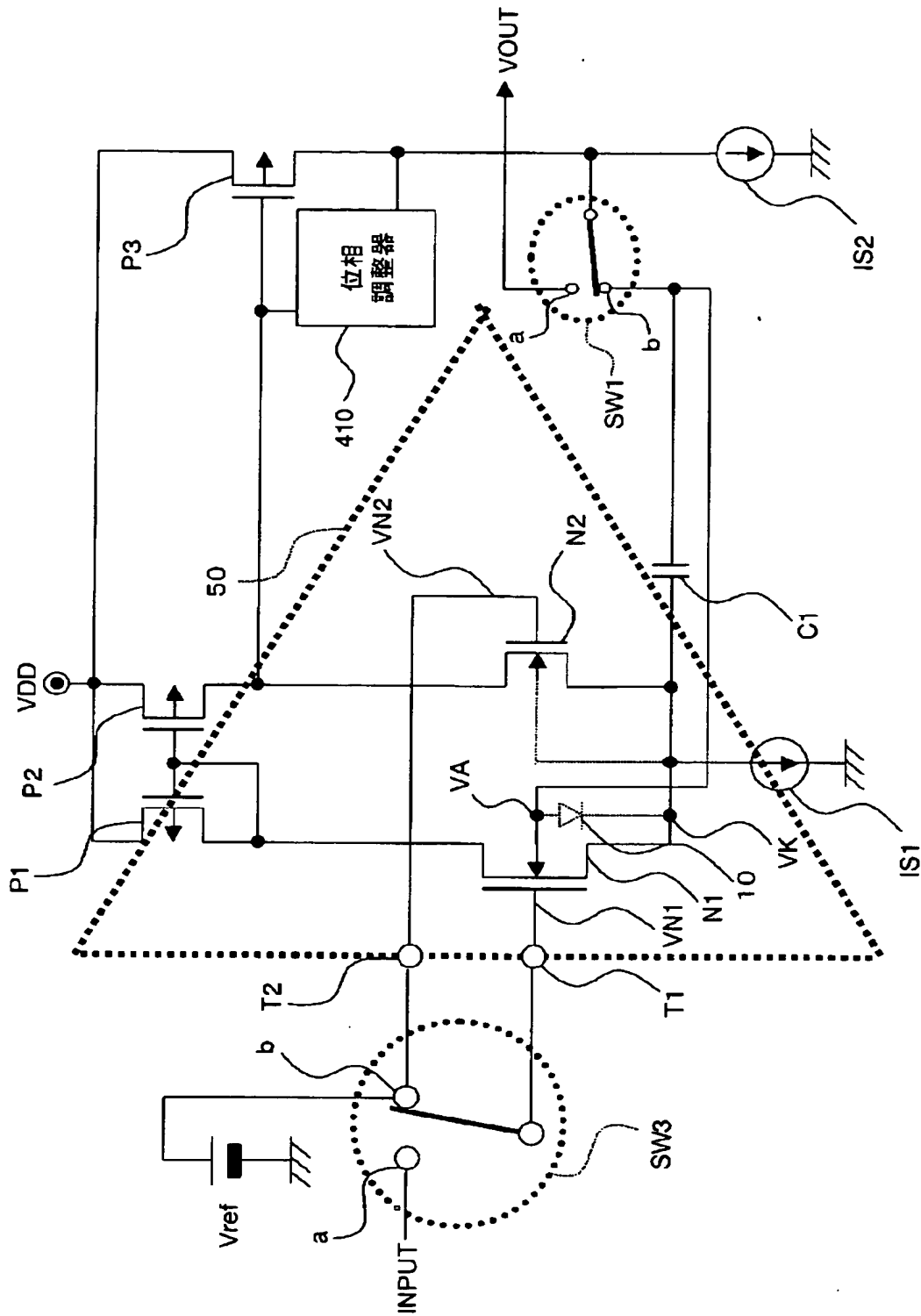
【图 5】



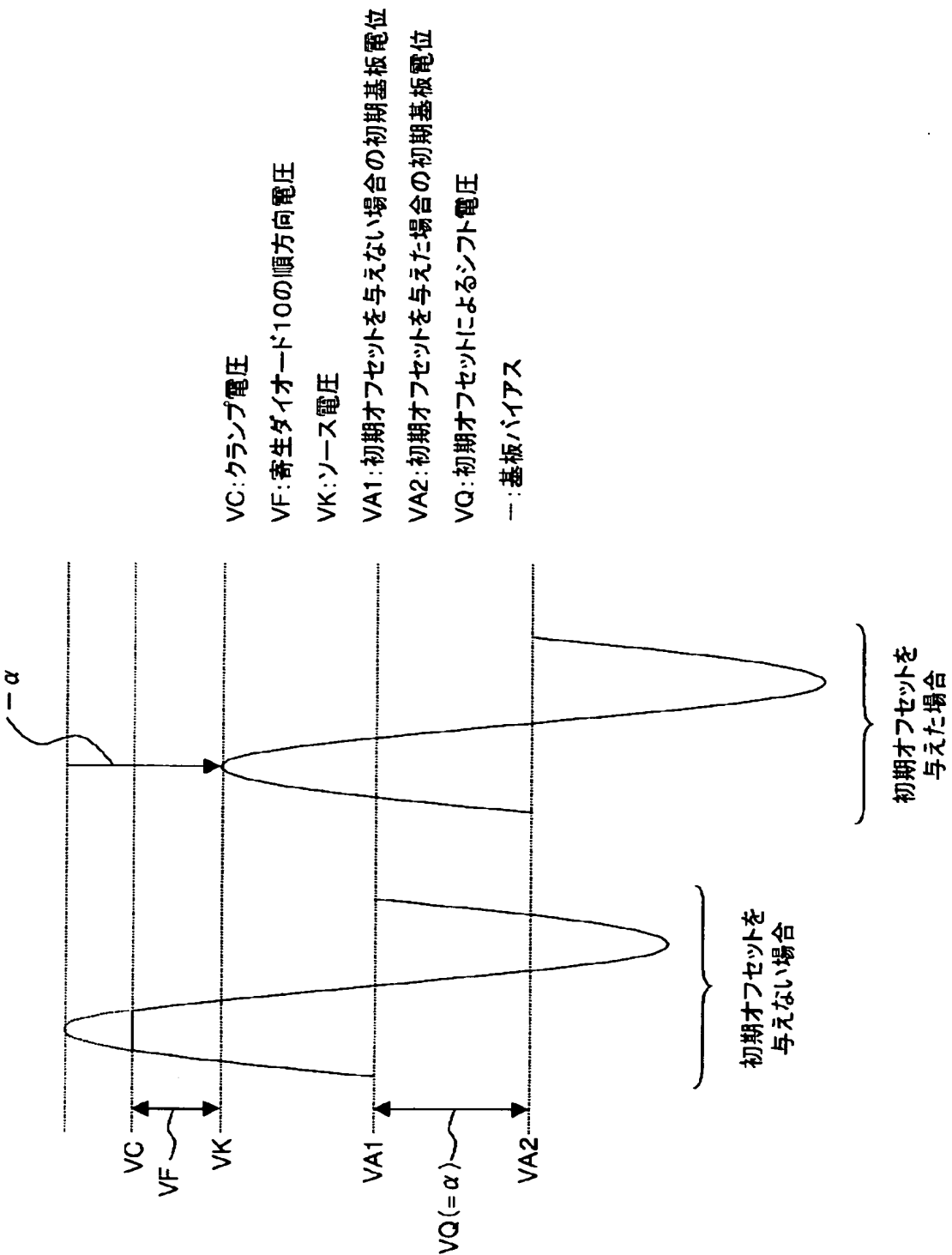
【図 6】



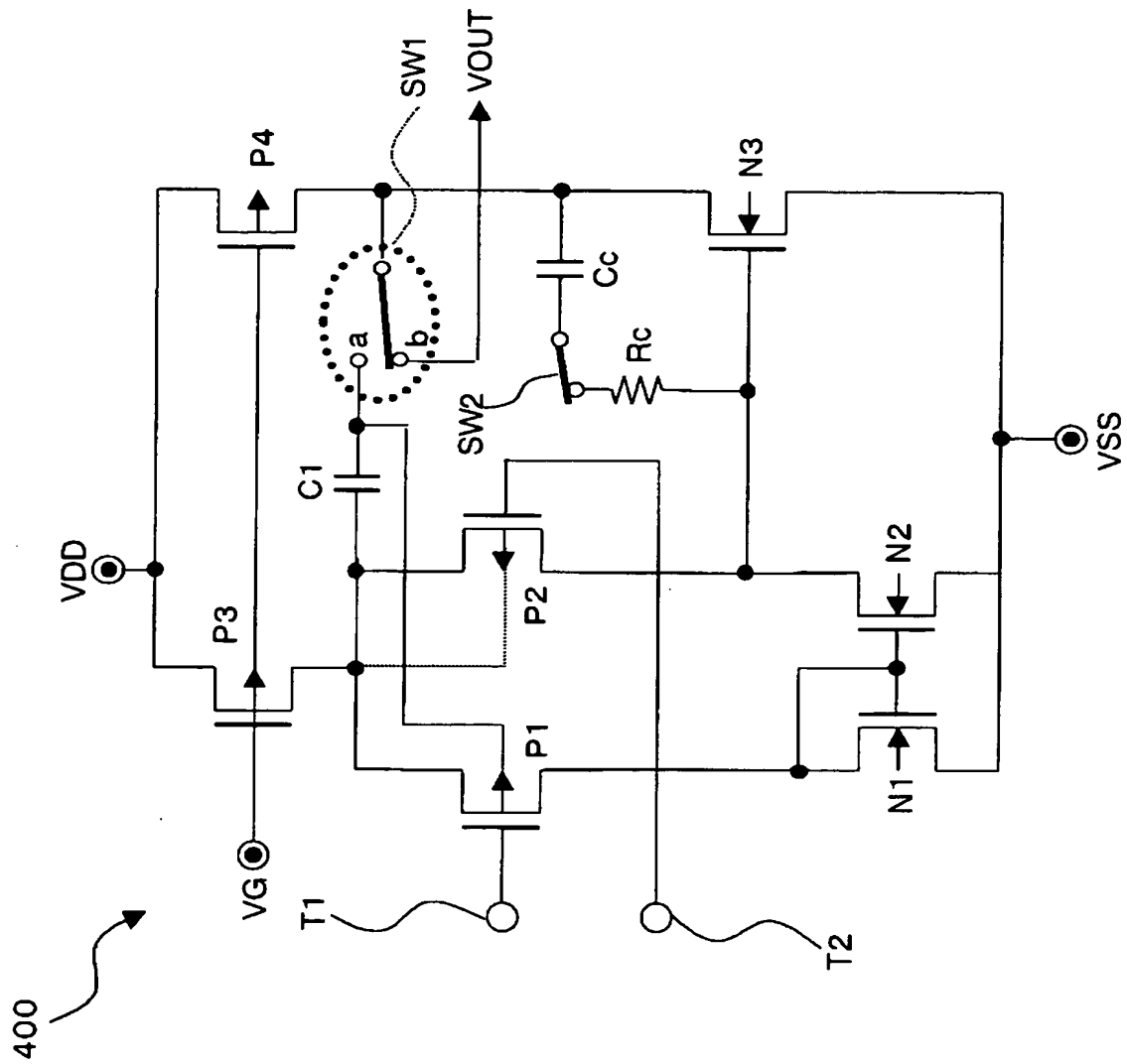
【図 7】



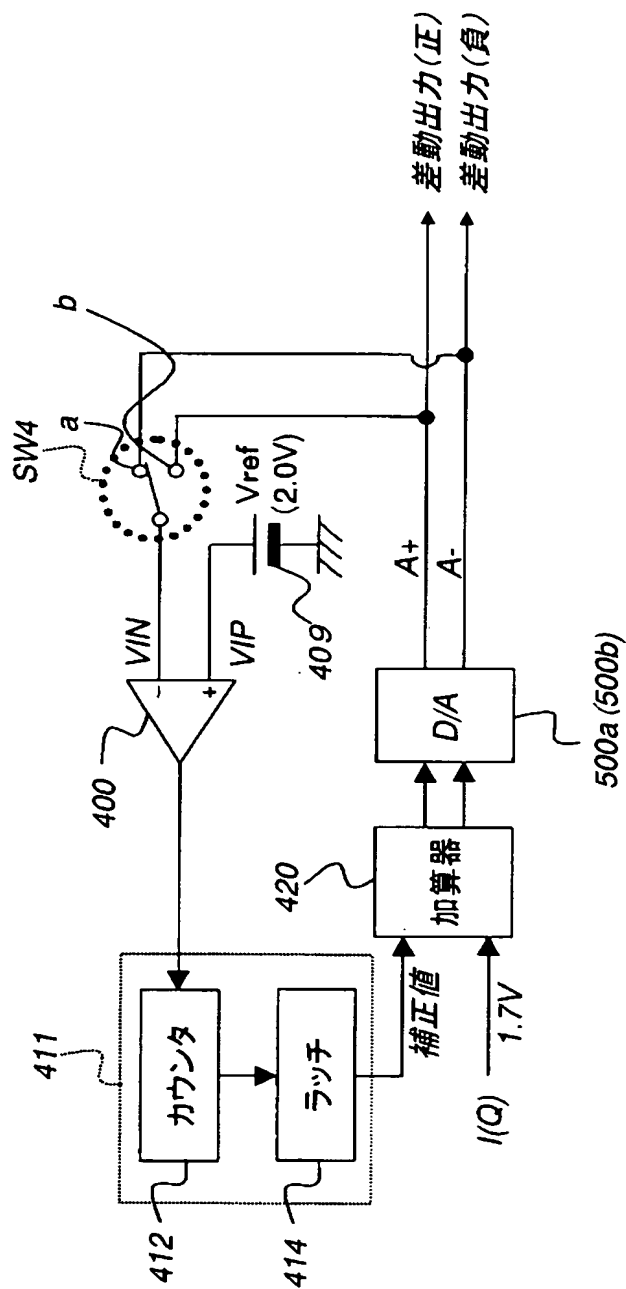
【図 8】



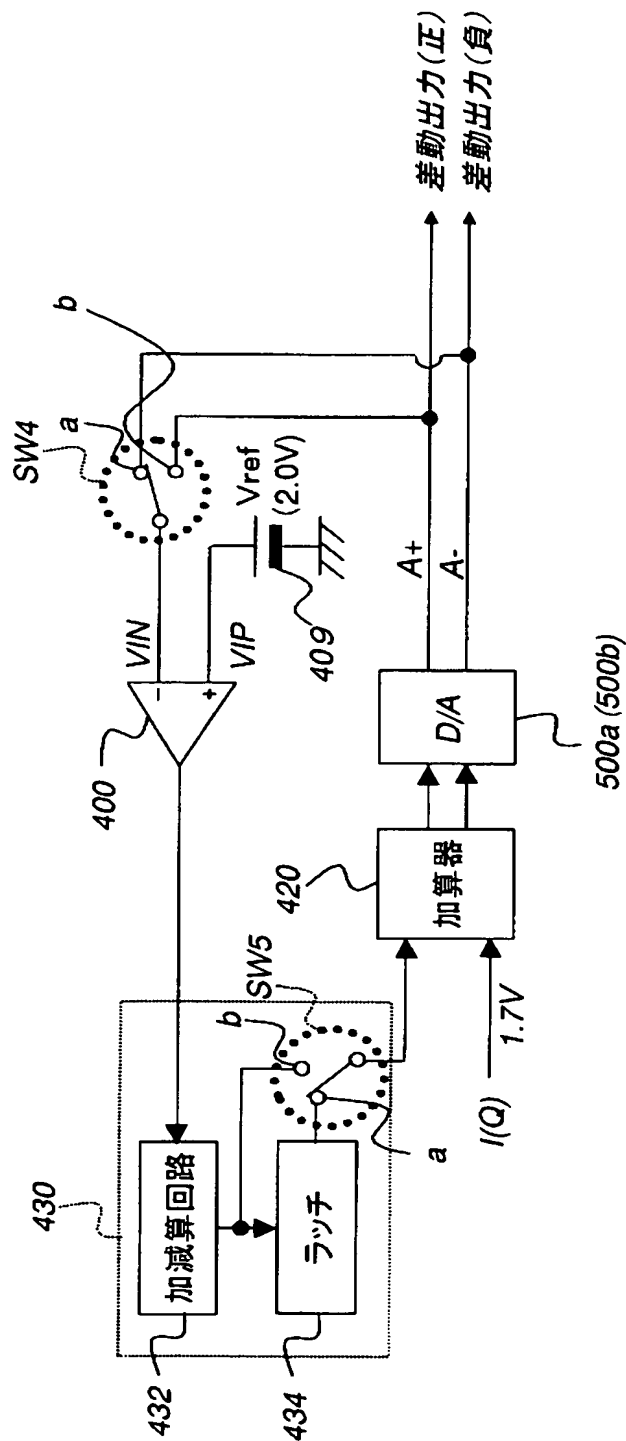
【図 9】



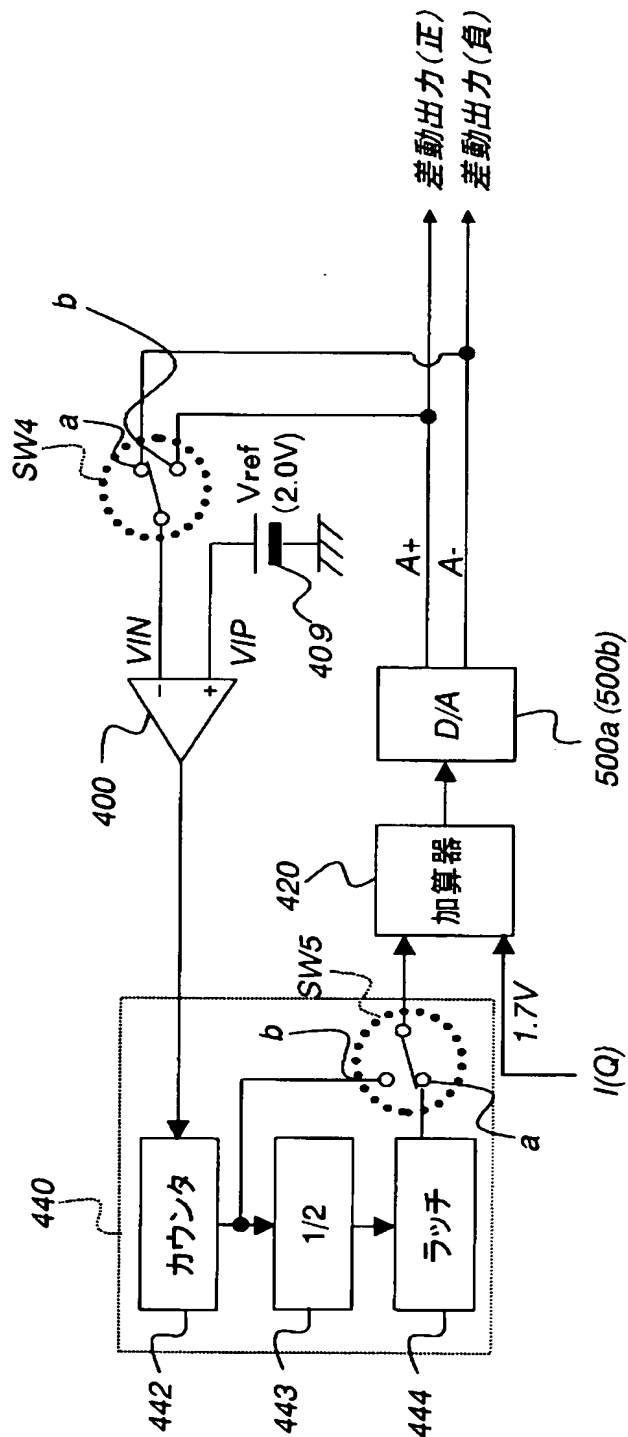
【図 10】



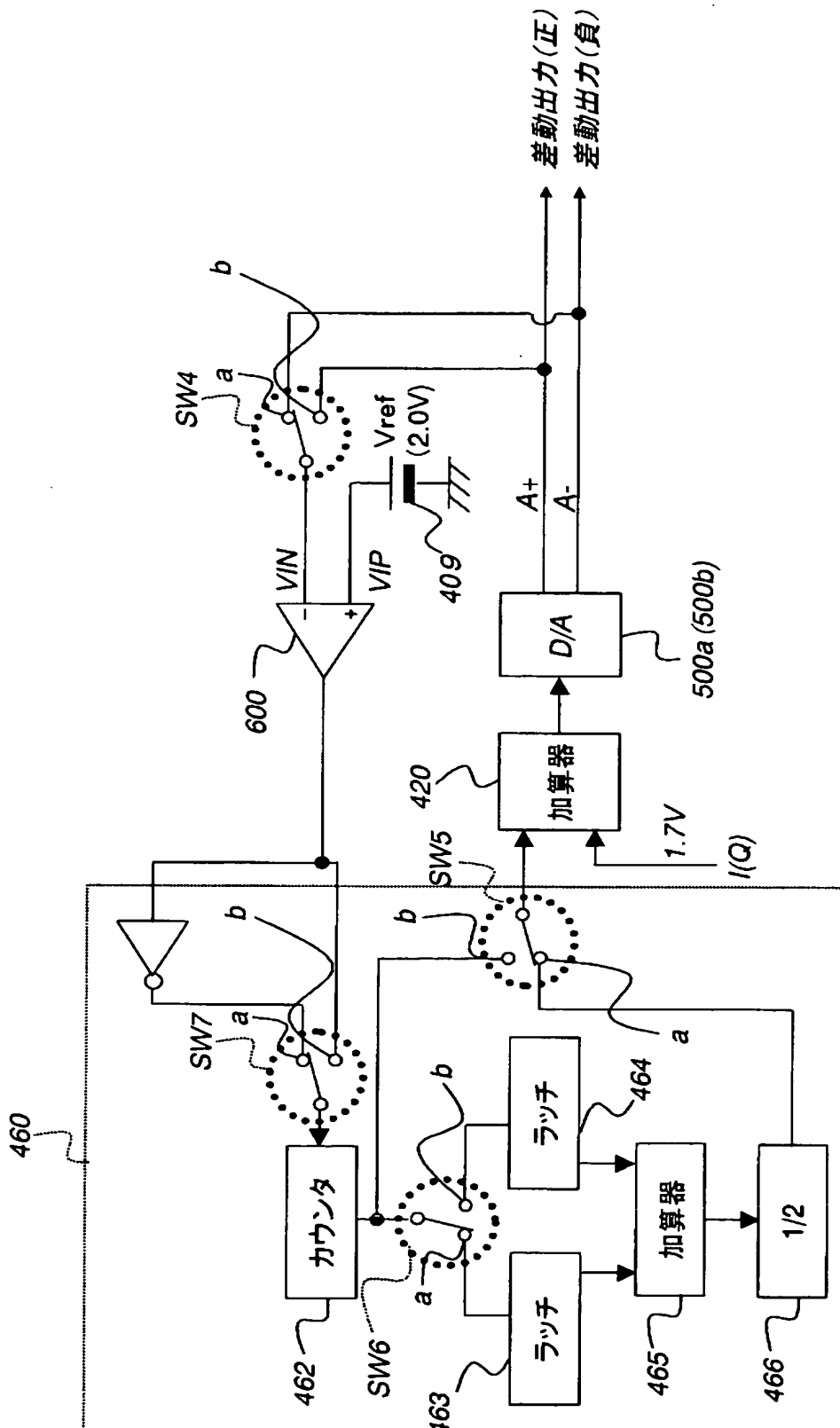
【図 11】



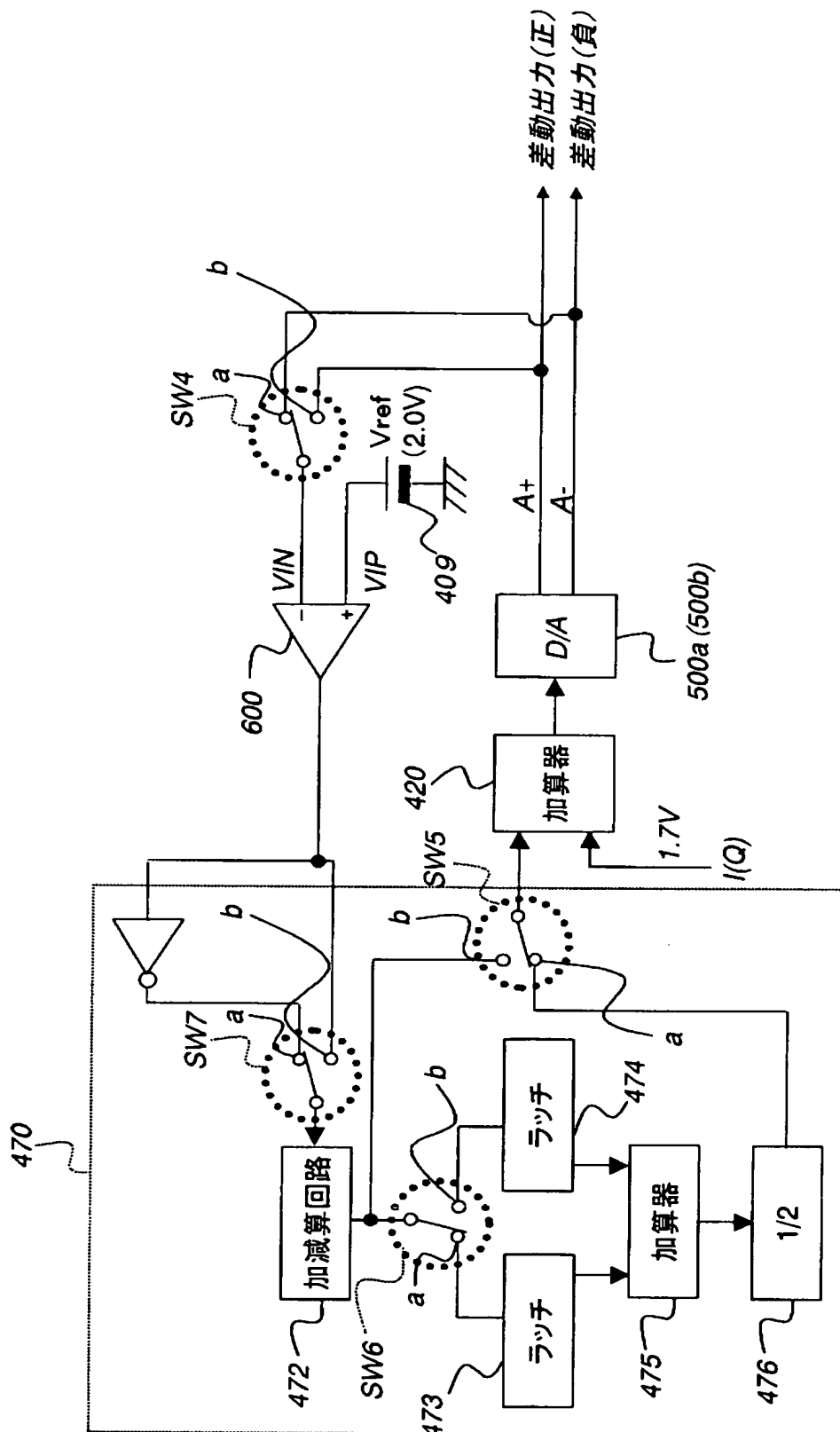
【図 12】



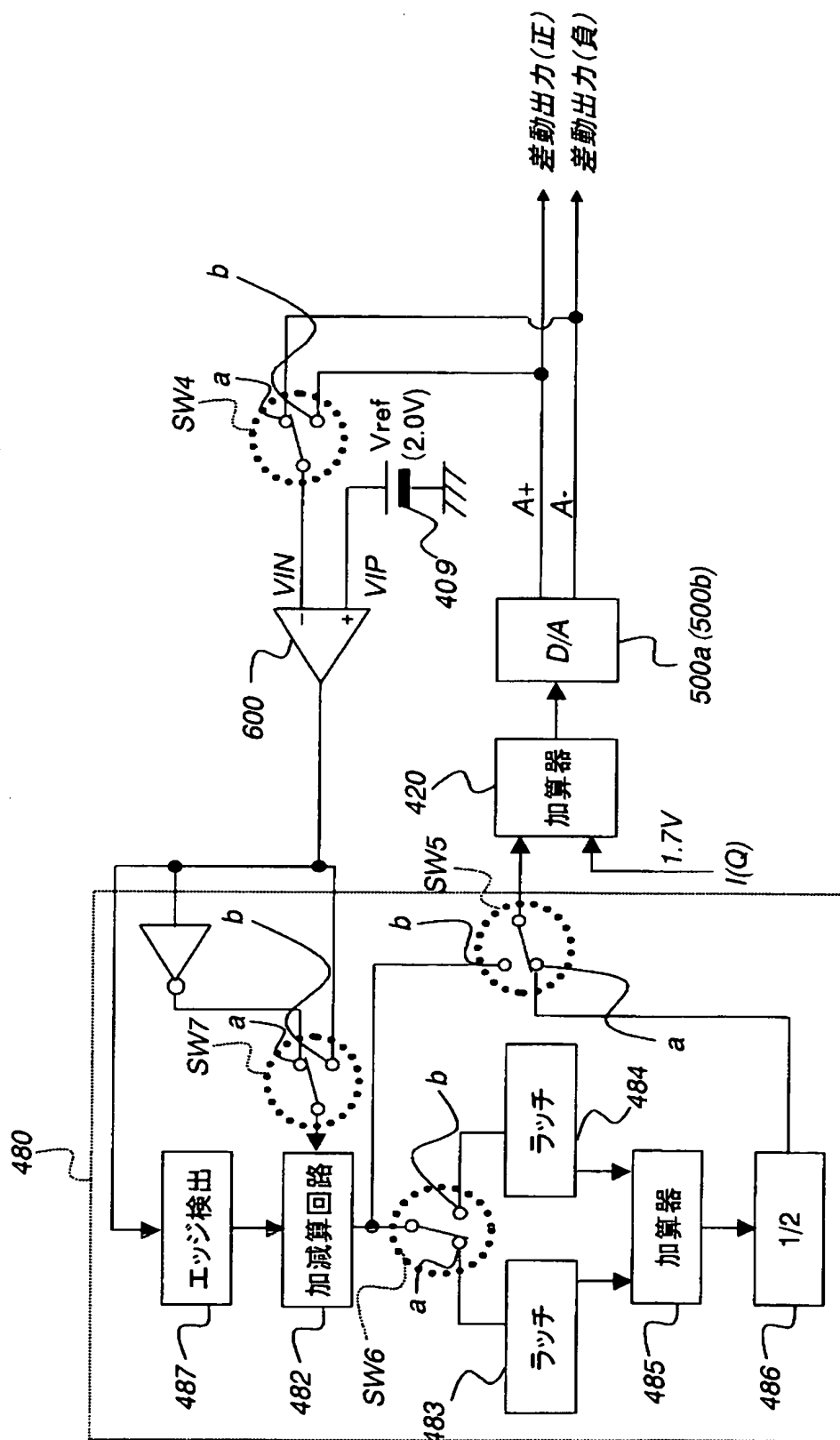
【図 14】



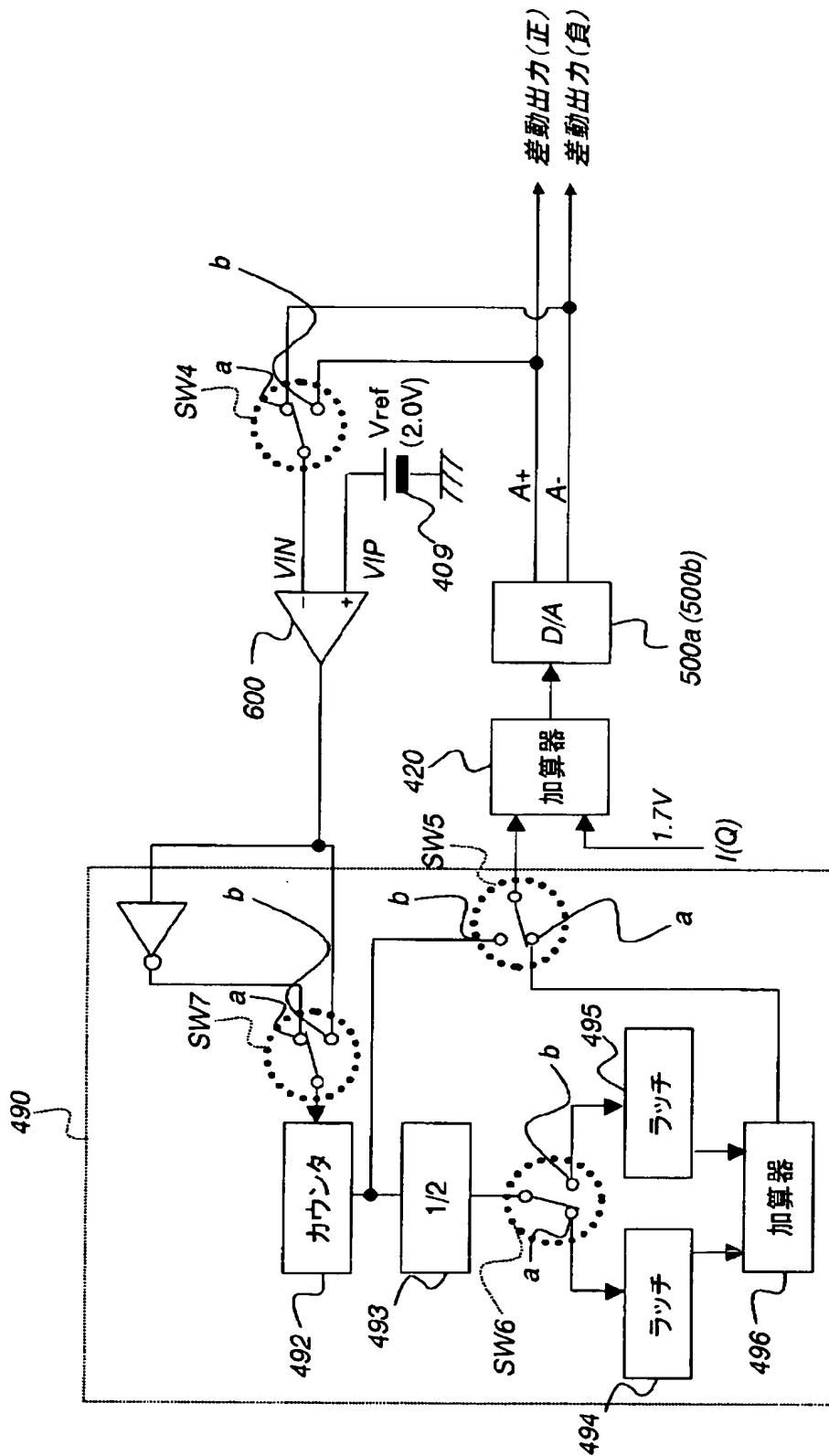
【図 15】



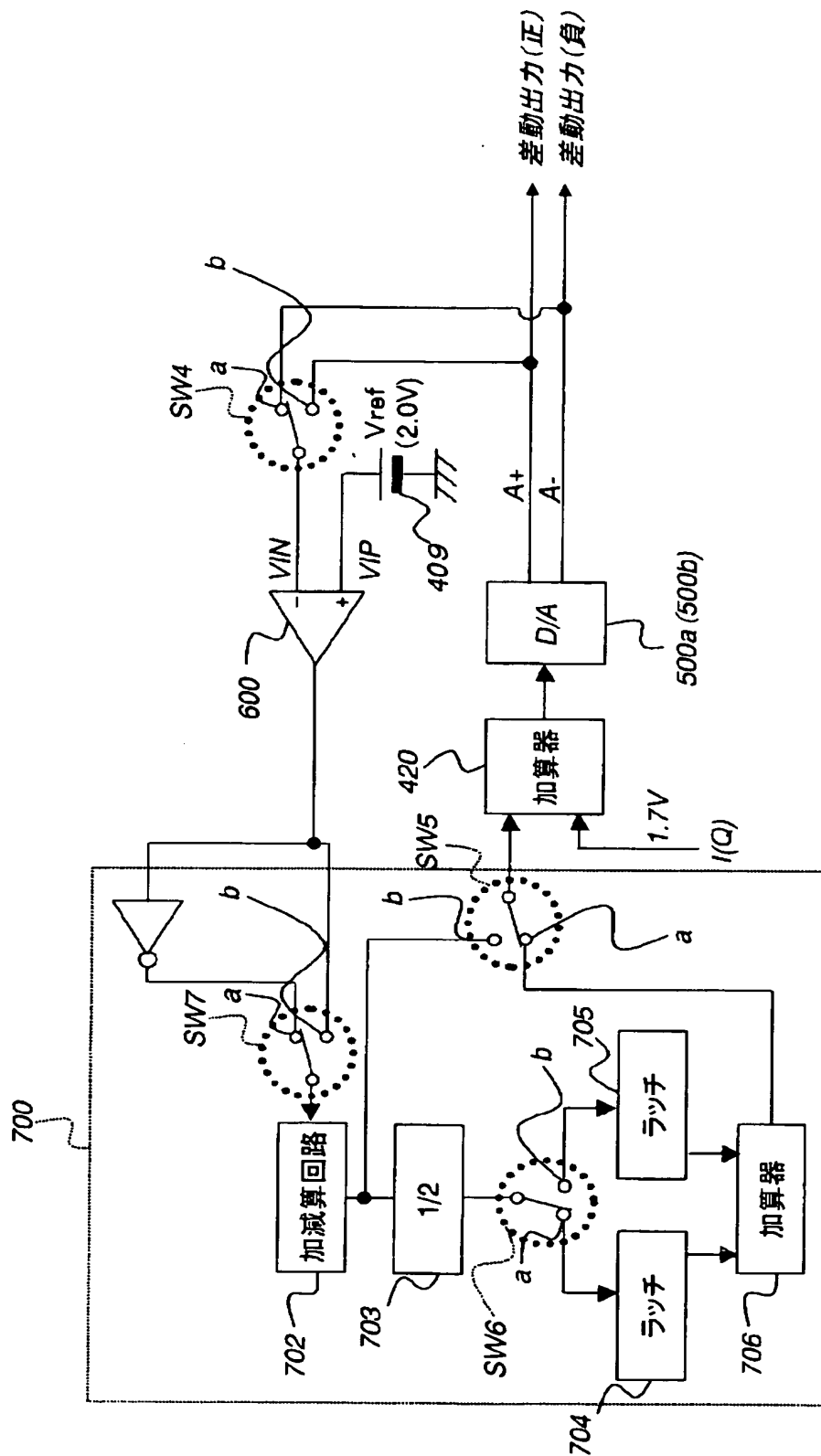
【図 16】



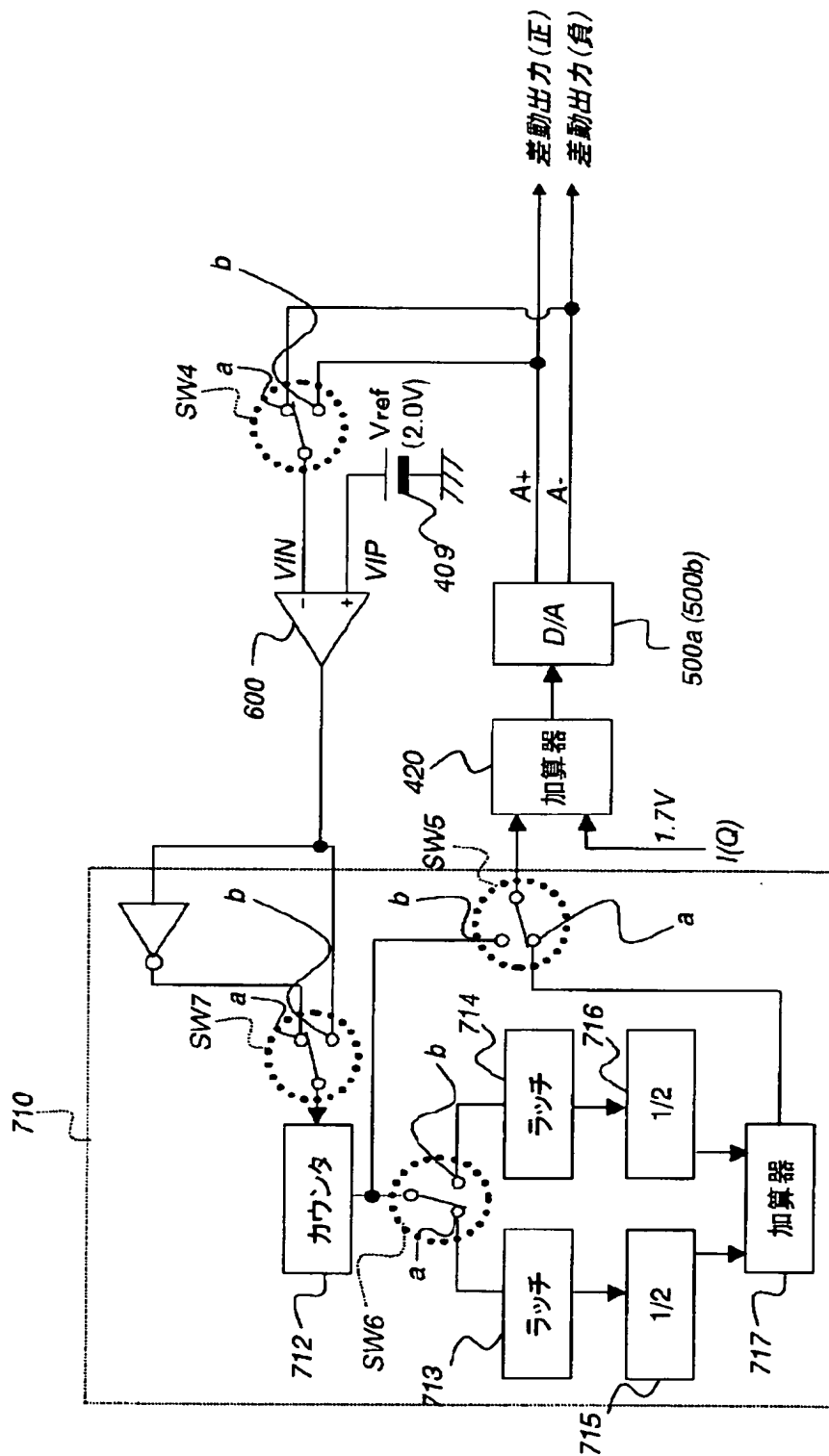
【図 17】



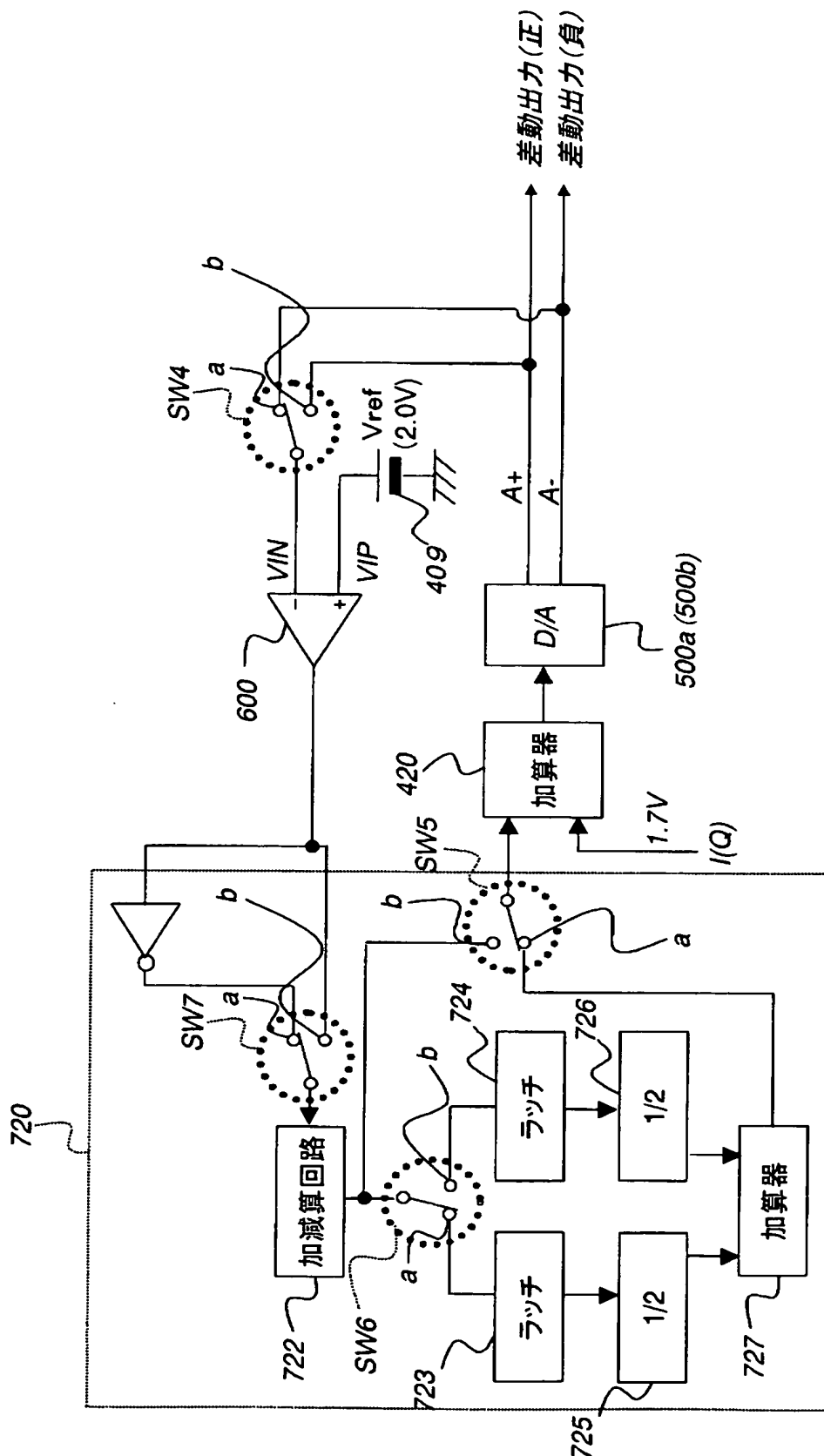
【図 18】



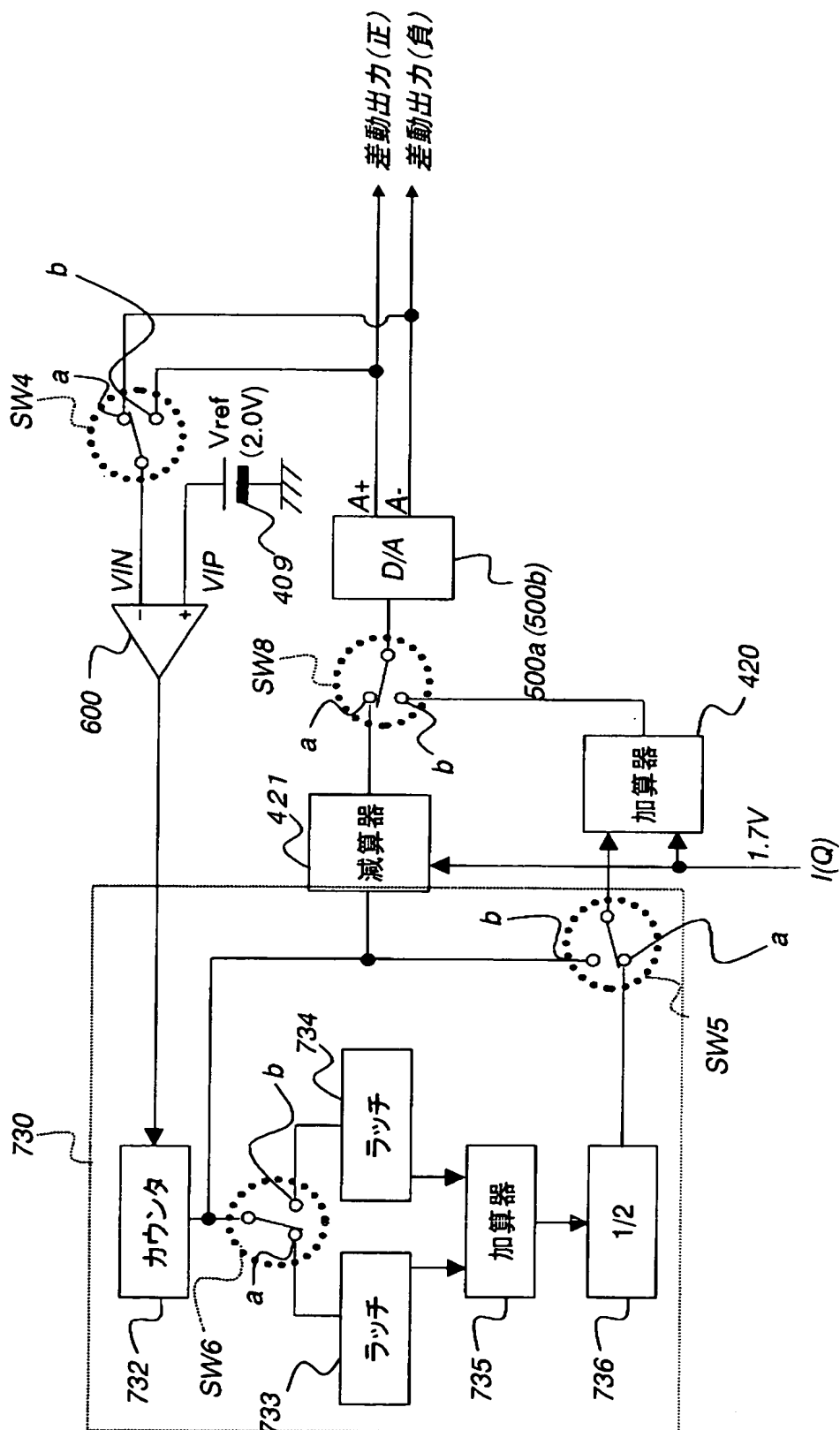
【図 19】



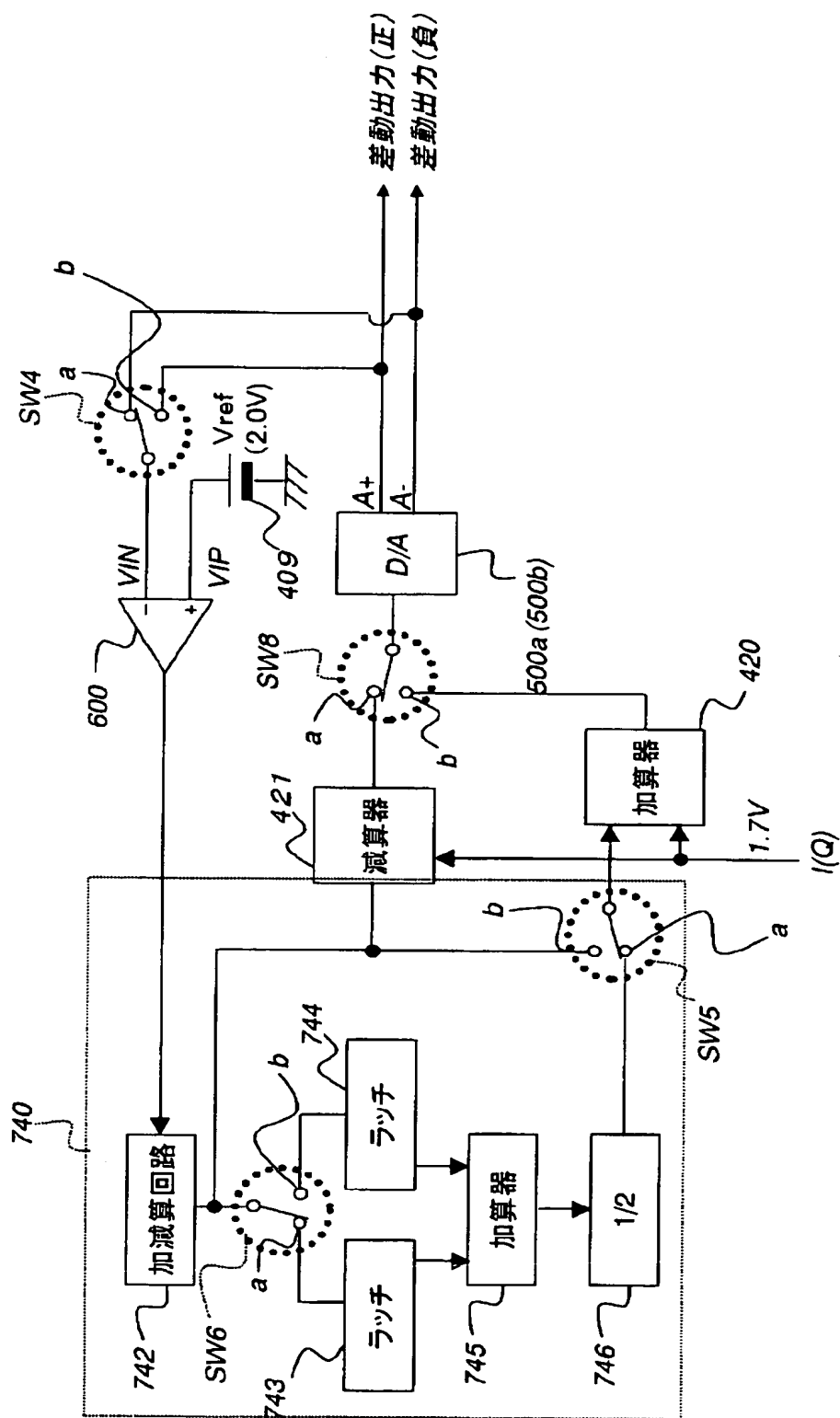
【図 20】



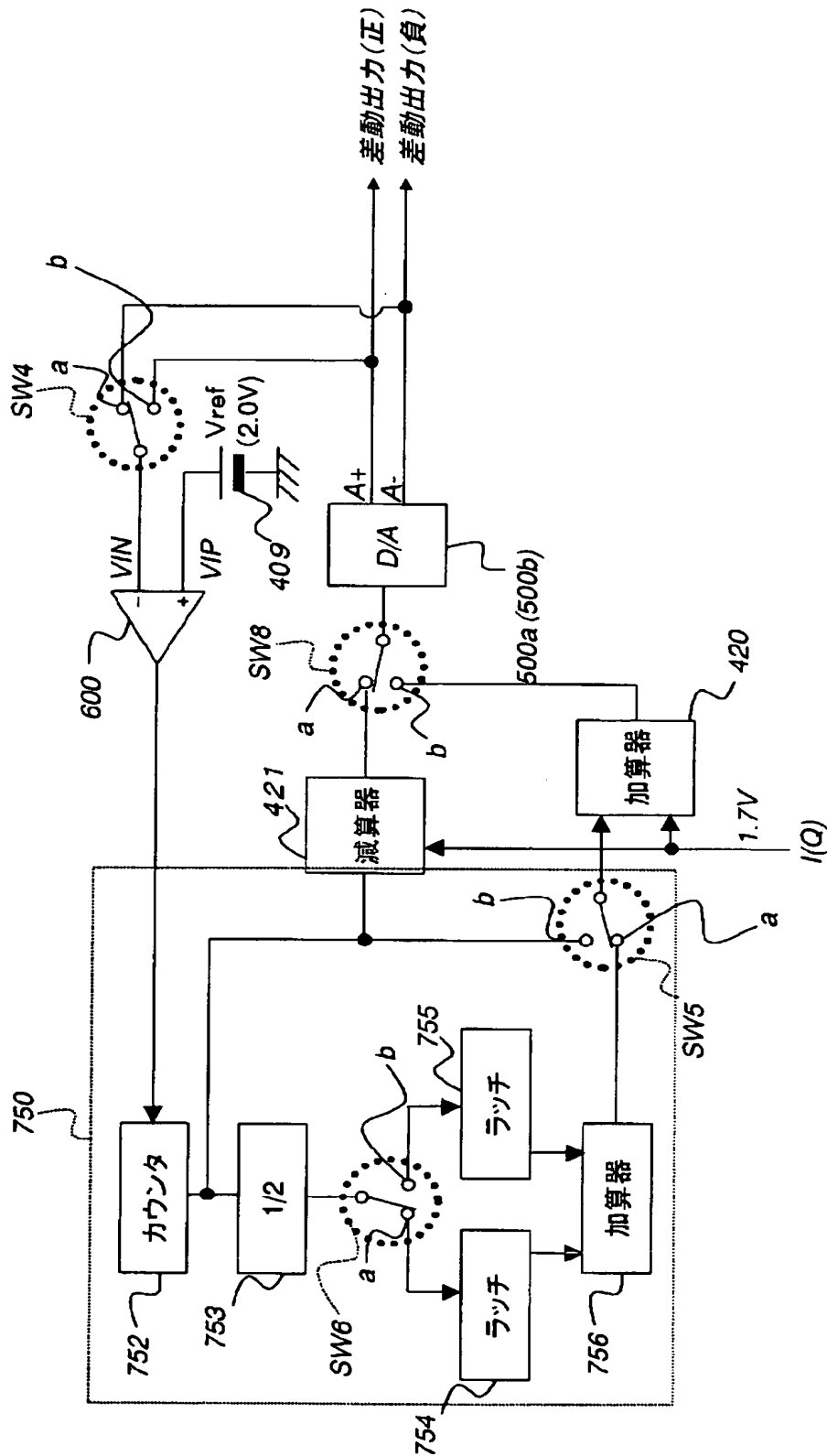
【図 21】



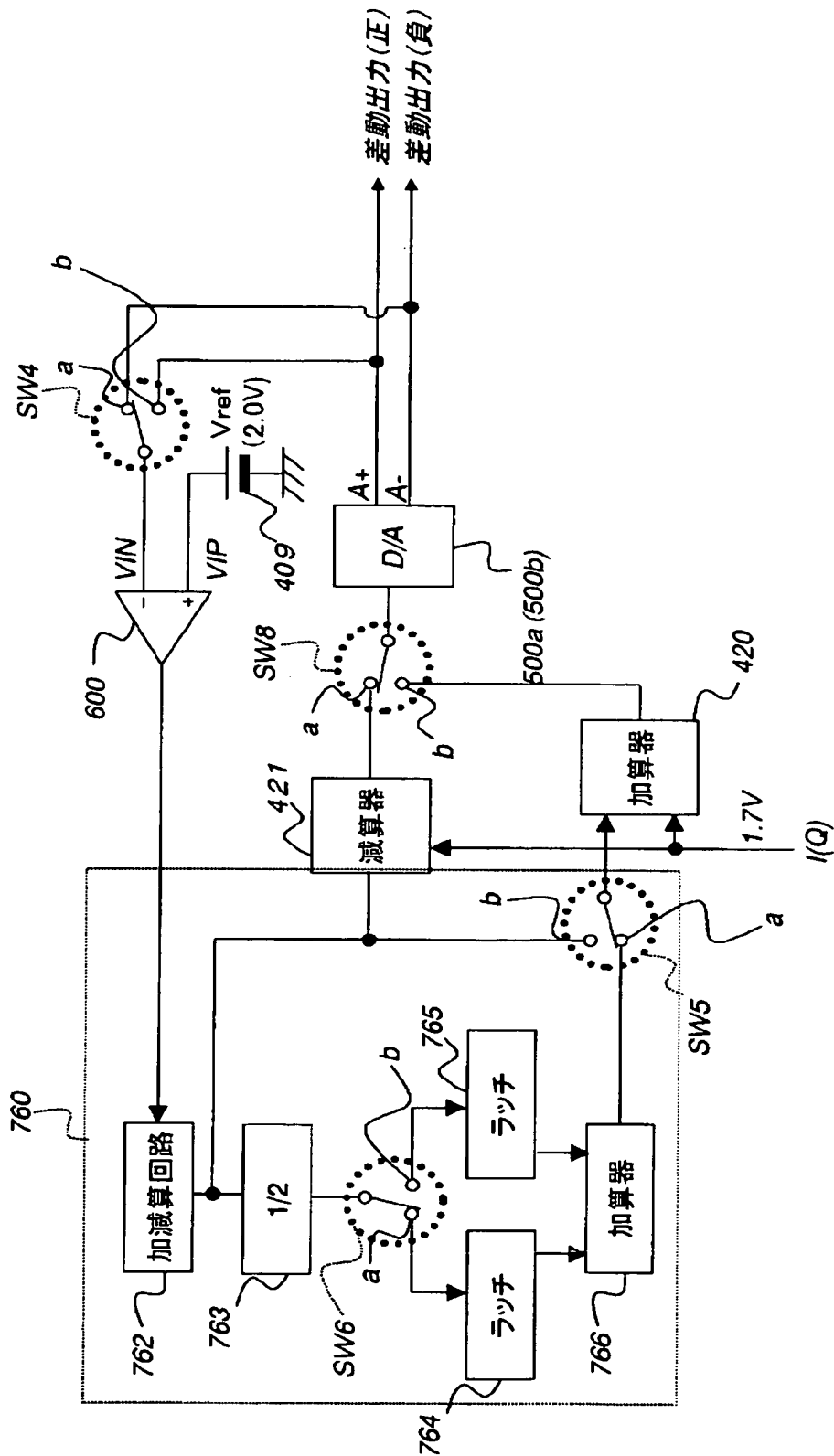
【図 22】



【図 23】



【図 24】



【書類名】 要約書

【要約】

【課題】 D/A変換器におけるオフセットを安価且つ高精度にキャンセルする。

【解決手段】 スイッチSW4をa端子側にしてD/A変換器500a（500b）のA-の差動出力のオフセットをコンパレータ400に保持し、基準電圧に反映させた後、SW4をb端子側にしてA+の差動出力のオフセットをコンパレータ400で測定し、エラー信号をカウンタ412に出力してカウントアップさせる。カウント値を1.7Vに加算してD/A変換器500a（500b）に入力することを繰り返し、エラー信号が反転した時点のラッチに保持されたカウント値をオフセット補正值とする。

【選択図】 図10

特願 2 0 0 3 - 1 1 9 9 2 5

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 8 日
新規登録

住 所
氏 名

大阪府門真市大字門真 1 0 0 6 番地
松下電器産業株式会社